

Qucs

Work Book

Thierry Scordilis
Mike Brinson
Gunther Kraut
Stefan Jahn
Chris Pitcher

Copyright © 2005 Thierry Scordilis <thierry.scordilis@free.fr>

Copyright © 2006 Mike Brinson <mbrin72043@yahoo.co.uk>

Copyright © 2006 Gunther Kraut <gn.kraut@t-online.de>

Copyright © 2005, 2006 Stefan Jahn <stefan@lkcc.org>

Copyright © 2005 Chris Pitcher <ozjp@chariot.net.au>

Разрешено копировать, распространять и/или модифицировать этот документ в рамках GNU Free Documentation License, Version 1.1 или любой более поздней версии, опубликованной Free Software Foundation. Копия лицензии включена в раздел, озаглавленный «GNU Free Documentation License».

Оглавление

1	Основная последовательность разработки	8
2	Понимание RF спецификации	9
2.1	Введение	9
2.2	DC спецификация	10
3	DC анализ, развертка параметра и модели устройств	11
3.1	DC статические цепи	11
3.2	Когда вещи меняются	13
3.3	Модели и параметры	17
4	Начало работы с цифровыми цепями	21
4.1	Введение	21
4.2	Симуляция простых цифровых схем	22
4.2.1	Примечания по рисованию цифровых схем	23
4.3	VHDL код, генерированный Qucs	24
4.4	Таблицы истинности	25
4.5	Цифровые подсхемы	29
4.6	Построение цифровой библиотеки компонент	32
4.6.1	Логический нуль	32
4.6.2	Логическая единица	32
4.6.3	G2bit – 2х-битовый генератор шаблона	32
4.6.4	G4bit – 4х-битовый генератор шаблона	33
4.6.5	MUX2to1 – 2 входа на 1 мультиплексор	33
4.6.6	MUX4to1 – 4 входа на 1 мультиплексор	34
4.6.7	2-х битовый сумматор	35
4.7	Код подсхемы VHDL, генерированный Qucs	35
4.7.1	Gen2bit	35
4.7.2	2х-битовый сумматор	36
4.7.3	Замечания по генерации VHDL подсхем	37
4.8	Вложение подсхем: более сложный пример разработки	37
4.8.1	4х-битовая разработка RTL	38
4.9	Обновление номер один: Май 2006	42
4.9.1	Ошибки, коррекция и небольшие изменения в коде цифровой симуляции Qucs	42
4.9.2	Новые возможности цифровой симуляции	43
4.9.3	Ограничения	45
4.9.4	Использование Qucs VHDL редактора	46
4.9.5	Линковка VHDL объектно-архитектурных моделей с символами устройств Qucs схемы	53
4.9.6	Генерация кода VHDL из схемы Qucs	58
4.10	Обновление номер два: Сентябрь 2006	64

4.10.1	Симуляция кода VHDL с использованием Qucs и FreeHDL	65
4.10.2	VHDL predefined пакеты и библиотеки	67
4.10.3	Структура кода симуляции VHDL	67
4.10.4	VHDL типы данных.....	69
4.10.5	Пример VHDL симуляции, использующей сигналы integer.	70
4.10.6	Многозначная логика.	71
4.10.7	Запуск отладчика VHDL кода симуляции.	76
4.10.8	Тестирование цифровых систем с использованием test_vector, сохраненных на диске.	82
4.11	Окончание заметок	87
5	Область переходных процессов моделей триггеров для симуляции смешанного режима	88
5.1	Введение	88
5.2	Защелки и триггеры	88
5.3	Строблируемые D-защелки	89
5.4	Тактируемый фронтом D-триггер	91
5.5	Переключаемый фронтом JK-триггер.....	93
5.6	Переключаемый фронтом T-триггер	94
5.7	Два примера цифровых цепей	95
5.8	VHDL код для моделей триггеров в области переходных процессов	98
5.9	Генерация библиотеки смешанных цифровых компонент	101
5.10	Время задержки распространения цифровых компонент и числовая стабильность симуляции переходных процессов	102
5.11	Пример симуляции смешанного режима	104
5.12	Заключительные замечания	108
6	Моделирование операционных усилителей	109
6.1	Введение.....	109
6.2	Qucs встроенная модель операционного усилителя	109
6.3	Дополнительные возможности Qucs OP AMP модели	113
6.4	Макро-модели модульного операционного усилителя	113
6.5	Базовая AC OP AMP макро-модель	114
6.5.1	Входной каскад	114
6.5.2	Усилитель напряжения с одним каскадом	117
6.5.3	Производная передаточная функция одно-каскадного усилителя напряжения	117
6.5.4	Выходной каскад	118
6.5.5	Модель подсхемы для базовой AC OP AMP макро-модели	118
6.6	Более точная OP AMP AC макро-модель	120
6.6.1	Производная переходная функция двухкаскадного усилителя напряжения	120
6.6.2	Симуляция OP AMP дифференциального усилителя с разомкнутой обратной связью	121

6.7	Добавление эффектов синфазного сигнала к ОР АМР АС макро-модели	122
6.7.1	Симуляция эффектов ОР АМР синфазного сигнала	125
6.8	Область переходных процессов большого сигнала ОР АМР макро-моделей	127
6.8.1	Источник скорости нарастания макро-модели	127
6.8.2	Моделирование ОР АМР перегрузки и ограничения выходного напряжения	130
6.8.3	Моделирование ограничений ОР АМР выходного тока.....	133
6.9	Получение параметров макро-модели ОР АМР из публикуемых данных устройства.....	135
6.10	Более сложные примеры разработки	135
6.10.1	Пример 1: Фильтр переменного состояния, разработка и симуляция.....	135
6.10.2	Пример 2: Генератор синусоидального сигнала с осциллятором, использующим мост Вина	138
6.11	Заключительные замечания	144
7	Моделирование таймера 555	145
7.1	Введение	145
7.2	Модель Qucs таймера 555	146
7.2.1	Макро-модель переключающего компаратора	147
7.2.2	Макро-модель порогового компаратора	148
7.2.3	Макро-модель цифровой логики	149
7.2.4	Макро-модель выходного усилителя таймера 555	149
7.2.5	Макро-модель коммутатора разряда	150
7.3	Опубликованные тестовые схемы с таймером 555	151
7.3.1	Одно-стабильный генератор импульсов с таймером 555	151
7.3.2	Осциллятор на таймере 555	152
7.3.3	Модификация ширины импульса	154
7.3.4	Модуляция позиционного импульса	155
7.4	Примеры симуляции с несколькими таймерами 555	156
7.4.1	Генерация последовательной серии импульсов	156
7.4.2	Схема делителя частоты	158
7.5	Заключительные замечания.....	160
8	Смещение ВЛТ транзистора	162
8.1	Графические методы	162
8.1.1	Графическое приближение показывает компромисс	164
8.2	Техники симуляции	167
9	ВЛТ моделирование и контроль	168
9.1	Выбор транзистора	168
9.2	Создание библиотеки.....	171
9.3	Проверка библиотеки устройств	173
9.4	Описание паразитных параметров корпуса	176
9.5	Проверка S-параметров малого сигнала.....	179
10	Разработка усилителя мощности	184

10.1 Область интересов	184
10.2 Рассмотрение системы	184
10.3 Соображения по смещению	185
10.4 Почему температурная разработка?	188
10.4.1 Управление температурой	188
10.5 Рассеивание DC мощности	190
10.6 Анализ на маленьком сигнале	191
11 Разработка малошумящего усилителя	192
11.0.1 Системные соображения	192
11.0.2 Выбор транзистора	193
11.0.3 Создание библиотеки	193
11.0.4 DC изучение.....	194
11.0.5 SP изучение	194
11.0.6 Изучение нелинейности	194
11.0.7 Возможные хитрости по улучшению	194
12 Разработка микрополосковых линий	195
12.1 10dB направленный разветвитель, разработка	195
12.1.1 Немного предварительной скучной теории	195
12.1.2 Уравнения разработки	197
12.1.3 Использование уравнений разработки	197
12.1.4 Что дальше?	197
12.1.5 Проверка разработки.....	199
12.1.6 Предлагаемые улучшения.....	202
12.1.7 Оставшиеся размышления	203
13 Ссылочное руководство по выражениям измерений	203
13.1 Введение	203
13.2 Использование выражений измерений	204
13.2.1 Ввод выражений измерений	204
13.2.2 Изменение выражений измерений	205
13.2.3 Синтаксис выражений измерений	206
13.3 Синтаксис функций и обзор.....	209
13.3.1 Формат ссылочных функций	209
13.3.2 Функции перечисленные по категории.....	210
13.4 Математические функции	215
13.4.1 Векторы и матрицы	215
13.4.2 Элементарные математические функции	224
13.4.3 Анализ данных.....	279
13.5 Электронные функции	306
13.5.1 Конвертирование единиц	306
13.5.2 Коэффициент отражения и VSWR	310
13.5.3 N-портовые матричные преобразования	315
13.5.4 Усилители	323

Введение

Важные замечания и предупреждения

Вы должны принять во внимание тот факт, что книга написана «на ходу», так что возможны некоторые ошибки, и авторы не несут ответственности за любые последствия использования книги.

Данный документ предназначен стать рабочей книгой для разработчиков в области радио и микроволновой техники. В наши намерения не входит создать курс по радиотехнике, но лишь прикоснуться к ее основам. Задача, поставленная перед нами, наметить некоторые правила разработки и последовательность работы для тех, кто использует RF CAD программы. Эта последовательность работы будет поддерживаться в разных главах на достаточно разных предметах.

Содержание рабочей книги

В этой рабочей книге мы пройдемся по некоторым обычным задачам. Но с некоторым прогрессом в объяснениях, и, благодаря тому факту, что мы охватим обширное поле информации, некоторые ключевые моменты будут показаны только единожды, так что рекомендуем вернуться к чтению этих глав.

Эта рабочая книга включает:

последовательность работы: показан типовой процесс разработки проекта,

осмысление RF спецификации: обычная задача, которая может стать проклятой, может превратить проект в ночной кошмар,

ВJT моделирование: после выбора устройства, мы всегда нуждаемся в использовании его в CAD, и обычно как раз этого устройства нет в CAD ... как создать его и проверить,

DC статика: поскольку все активные устройства должны смещаться ...

PA разработка: активный компонент найден, и маленький усилитель разработан без многочисленных ограничений,

LNA разработка: разработка более ограниченная большим количеством правил, стабильностью, шумами и т. д. ...

разработка осциллятора: процедура обычно из CAD вытекающая, поддержанная не обычной процедурой,

vco разработка: нормальная эволюция из осциллятора,

detector: разработка трудная в поддержке,

последует и больше . . .

1 Основная последовательность разработки

Подразумевая, что вы знакомы с обычной последовательностью разработки RF, HF, микроволновых схем или систем, остается только пояснить, как можно использовать QUCS для разработки такого типа цепей.

Как инженер-исследователь RF я еще и работаю со студентами. И всегда есть проблемы с новыми методами преподавания. Обычно студенты приходят с некоторыми познаниями в области CAD программ, но они не знают в действительности, как соразмерять свою разработку. Они используют только оптимизатор для размещения своих идей. Что обидно! Конечно, не все из них таковы, но это общая тенденция. На протяжении книги я хочу показать, что есть некоторые правила разработки, и разработка может просчитываться, и что она не будет работать по волшебству!!!

Для экспертов в этом нет ничего нового, но только некоторые постоянно используют QUCS. Хотя, собственно, правила разработки те же, что и при использовании на рабочем месте бумаги и ручки.

Автор.

Правильная организация документа

Постараемся сохранить единую организацию внутри разных глав, что будет, к слову:

Заглавная часть: которая осветит активное поле разработки, предполагаемое к использованию.

Блок спецификации: в порядке понимания, что мы должны сделать. Эта задача не будет объяснена на первый взгляд, поскольку не это цель данного документа (мы не знакомим со спецификацией системы. Это может появиться в том случае, когда компоненты, присутствующие в QUCS, будут расширены... но почему бы и нет в дальнейшем).

DC объяснение: если разработка включает DC часть, тогда мы должны предоставить DC демонстрацию, включая тепловой аспект, если нужно.

Функциональная разработка: в порядке пояснения, как это функционально разработано, либо в общем, либо в отношении QUCS. Второй аспект всегда должно держать в памяти. Все может не относиться к другим CAD программам, и следовательно остаться без внимания.

Надеюсь, что вышеизложенное поясняет цель создания этого документа.

2 Понимание RF специфик ации

Параметры

... подготовлено Norman E. Dye из Motorola RF подразделения: AN 1107¹. Так как это AN существенно для наших тем, не плохо бы дать небольшую ссылку на нее. Все AN от motorola ссылаются на это поле. Эта глава только выдержка, но главная цель выделена в дальнейшем...

Автор.

2.1 Введение

Справочные таблицы часто оказываются единственным источником информации о возможностях и характеристиках продукта. Это практически верно для уникальных RF полупроводниковых устройств, которые используются разработчиками оборудования во всем мире. Поскольку разработчик схемы подчас не может поговорить непосредственно с производителем, он полагается на информацию справочных данных его устройства. А для RF устройств многие спецификации уникальны сами по себе. Таким образом, важно, чтобы пользователь и производитель RF продукции говорили на одном языке, с тем чтобы то, что изготовитель полупроводников говорит о своем RF устройстве, было полностью понятно разработчику схемы.

В этой части рассматриваются параметры RF транзисторов и усилительных модулей из соображений максимальной оценки функциональных характеристик. Они разделены на пять базовых секций:

1. DC спецификации
2. мощные транзисторы
3. транзисторы малой мощности
4. мощные модули
5. линейные модули.

Комментарии сделаны для критических спецификаций – как определяются значения и в чем их смысл.

¹ Это примечание может быть найдено в старых примечаниях справочных проспектов от motorola, если вы сохранили один из них, это истинное сокровище.

2.2 DC спецификация

В основном RF транзисторы характеризуются двумя типами параметров: DC и функциональными. «DC» спецификация состоит из предельного напряжения, тока утечки, h_{FE} (DC β) и емкостей, тогда как функциональная спецификация покрывает усиление, наработку, шумовые параметры, искажения и т. д. . . . Тепловые характеристики, не попадающие в категорию теплового сопротивления и мощности рассеяния, могут быть либо DC, либо AC. Таким образом, мы будем обходиться со спецификацией теплового сопротивления, как с особой спецификацией, и дадим ей собственный заголовок, названный «тепловые характеристики».

3 DC анализ, развертка параметра и модели устройств

3.1 DC статические цепи

Любимый вопрос на курсах по электронике это:

«У вас двенадцать резисторов по одному ому. Вы соединяете их вместе так, что каждый резистор образует кромку куба. Каково сопротивление между противоположными углами куба?»»

Намерение может быть в обучении паянию, чтобы более чем один студент спаял именно такой куб! Сегодня мы можем сделать это не прибегая к обучению пайке, мы симулируем цепь.

Вот моя попытка сделать куб в Qucs; любой желающий может попытаться улучшить его.

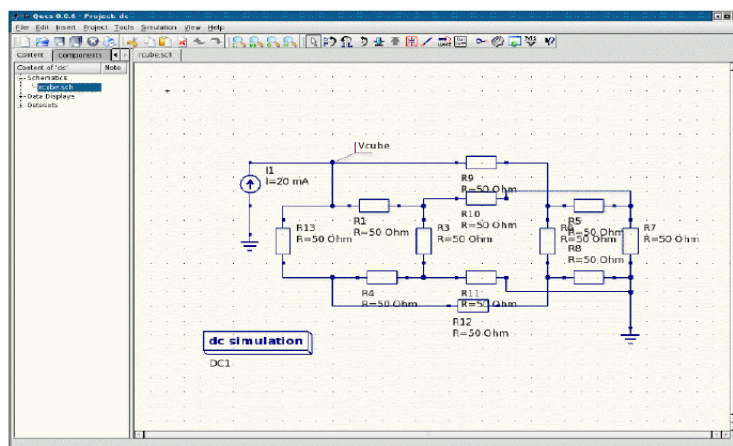


Рис. 3.1. Схема куба из резисторов

Все, что мне пришлось делать, это выбрать сопротивления слева в окне компонент и вставить их, повернув при необходимости, пока я не получил двенадцать в схеме. Затем я соединил две сети по четыре в квадрат, а затем соединил оставшиеся четыре по углам квадратов. Что, я уверен, топологически и есть куб.

Все это может показаться тривиальным, но хорошо бы напомнить для начала, что мы создали виртуальное представление физической цепи. Временами мы должны крутить и сжимать все, чтобы уложить в формат, который примет симулятор, и что вызывает сомнения, работаем ли мы с достаточно аккуратным представлением?

Есть правило: если мы можем привести в соответствие соединение наших компонент с компонентами реальной схемы, мы аккуратно представляем физическую цепь. И, я преувеличиваю, ВСЕГДА лучше проверить, что мы все сделали правильно – симулируйте неправильную цепь, и она расскажет вам, где вы солгали.

С моим кубом из резисторов, аккуратно нарисованным, я должен только нажать клавишу симуляции, и сведенные в таблицу результаты покажут мне напряжение в угловых узлах. Поскольку я пропускаю постоянный ток через куб, от одного угла к другому, закон Ома говорит мне, что напряжение между этими углами даст мне сопротивление. Если я использую ток в один ампер, выходной вольтаж будет эквивалентен резистору в ом^2 .

Те, кто внимательны к деталям, могут возразить сейчас, что я вовсе не решил действительной проблемы, поскольку в задаче были резисторы по одному ому, тогда как я использовал резисторы по пятьдесят ом. Хорошо, да так, я сжульничал. Что я часто делаю в симуляциях.

Для приведения всех резисторов к правильному значению, я должен был открыть окно редактора свойств двенадцать раз; вот как оно выглядит...

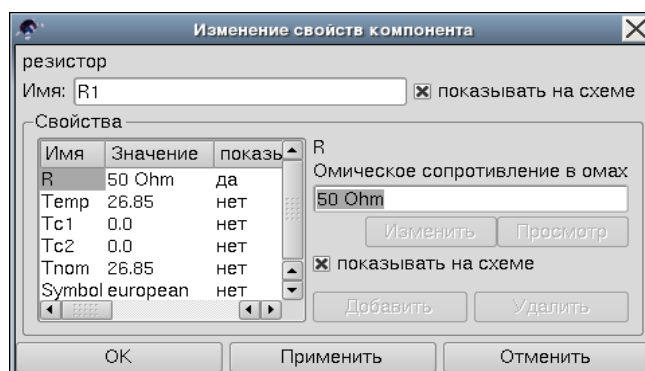


Рис. 3.2. Диалог свойств компонента

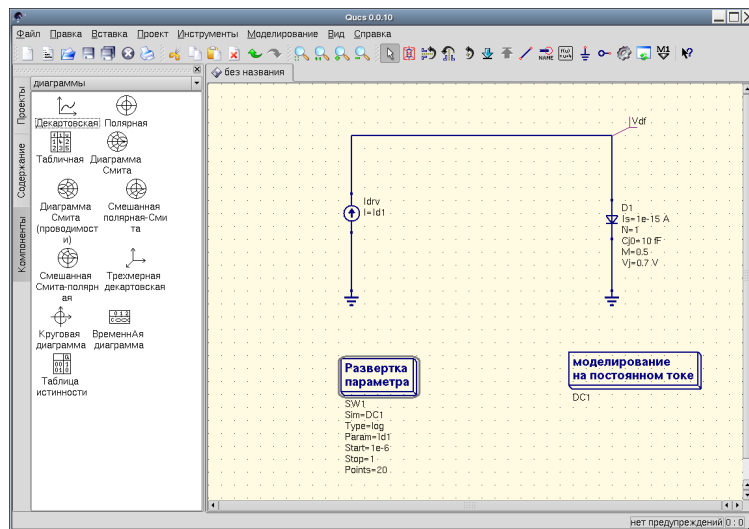
и подсвеченное значение приглашает меня ввести альтернативу. Я должен это сделать, но естественная лень берет верх. Я рассудил, что пятьдесят ом в пятьдесят раз больше, но если я уменьшу ток в один ампер до двадцати миллиампер, выходное напряжение получится тем, что нужно. Вы найдете, что такая лень (или обостренное восприятие, зависящее от рассказчика!) может сохранить много времени и сил.

2 Я могу сказать вам результат полученный мной при симуляции, но почему я должен портить вам удовольствие... вернитесь к началу и запустите схему сами. Если вы действительно хотите основательно всем заняться, вы должны также строить схемы и получать результаты...

3.2 Когда вещи меняются

Все, что интересно, но не рядом с интересным, как тогда, когда мы начали менять питающее напряжение и наблюдали эффект, будет иметь место, когда мы введем нелинейные элементы.

Простейший нелинейный элемент – это диод, а вопрос, который мы задаем о диоде чаще всего: как диод меняет напряжение с изменением тока? Так что вернемся в Qucs и нарисуем такую цепь...

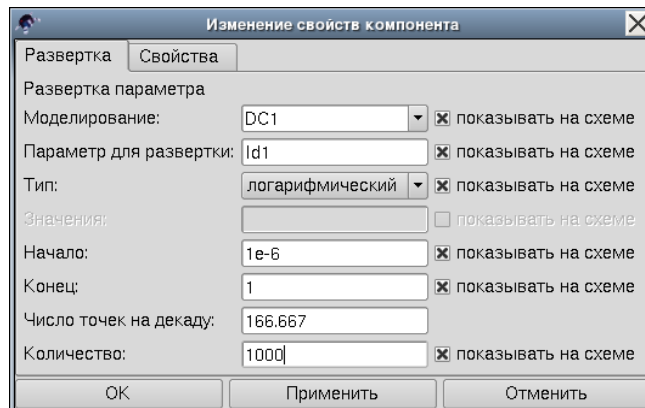


Эта цепь выглядит обманчиво просто, но вводит несколько больше возможностей Qucs, так что давайте пройдем по ним по порядку.

Компоненты вновь выбираются в окне слева и соединяются вместе. Затем выбираются два элемента из окна симуляции.

DC моделирование может прекрасным образом оставаться теперь, как есть, но обратите внимание на имя симуляции: DC1.

Диалоговое окно свойств развертки параметров выглядит похожим на это, когда открыто...

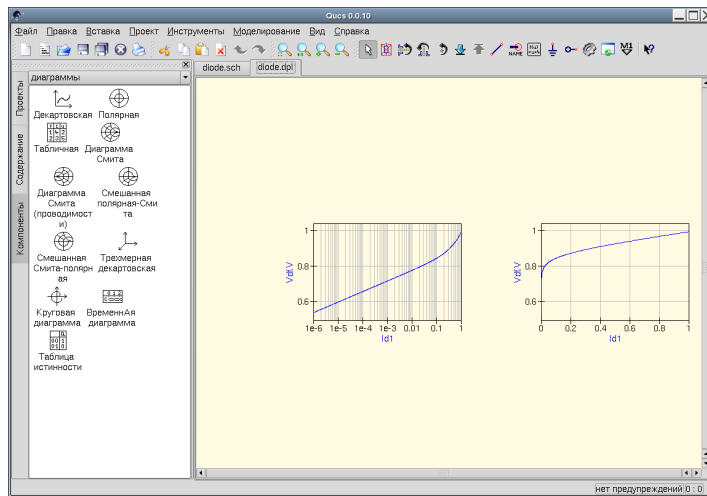


Первые два элемента, обратите внимание, ввод симуляции (здесь **DC1**, соответствующее имени выбранного элемента симуляции) и ввод параметра развертки, здесь обозначенный как **Id1**. Если вы взгляните на источник тока, питающий наш диод, вы увидите, что он, так уж получилось, маркирован как **Idrv**. В результате значение **Id1** свойства компонента источника тока **I** будет качаться в диапазоне значений, обозначенных нашей функцией развертки параметра, названной **SW1**³.

Остальные вводы устанавливают тип развертки (здесь логарифмический) и диапазон значений, через которые проходит развертка. Вы можете попробовать разные значения в любом из них, чтобы увидеть эффект; одно из преимуществ симулятора перед физическим прототипом в том, что вы не можете разрушить ваш диод, пропустив слишком большой ток через него!

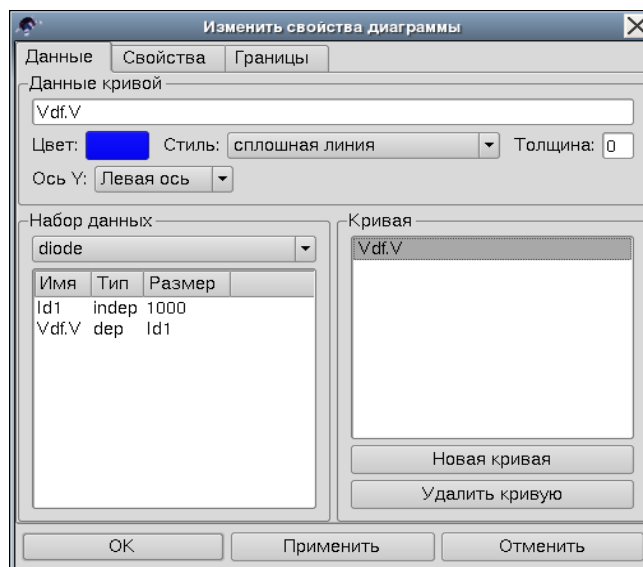
Так что я жму клавишу симуляции, и это переносит меня на страницу результатов, и я создаю пару выходных графиков. Вот как выглядит мой экран...

³ Вы можете изменить это имя, если хотите, в меню свойства окна редактора свойств.



В каждом случае я получаю график зависимости прямого напряжения на диоде (ось Y) от прямого тока (ось X). Левый график имеет логарифмическую шкалу для прямого тока, тогда как правый использует линейную шкалу тока. Как я сделал это? Хорошо, теперь-то вы уже знаете, что все это легко с Qucs!

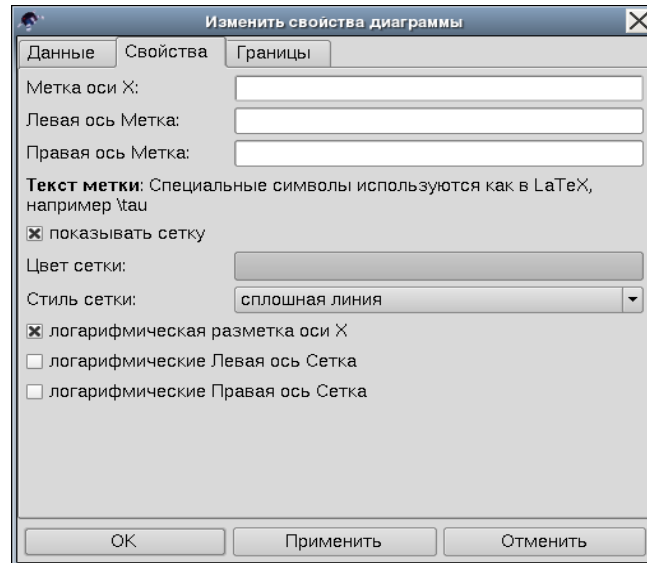
Когда вы выбираете тип графика в окне слева и перетаскиваете его в окно наблюдения, он создает график и открывает диалоговое окно, которое выглядит похожим на это



Левое окно показывает доступные переменные и будут ли они зависимыми или

независимыми. В данном случае ток I_{d1} – независимая переменная, а прямое напряжение $V_{df.V}$ – зависимая. Двойной щелчок по вводу для $V_{df.V}$, и он переносится в правую часть; нажмите ОК и график будет нарисован.

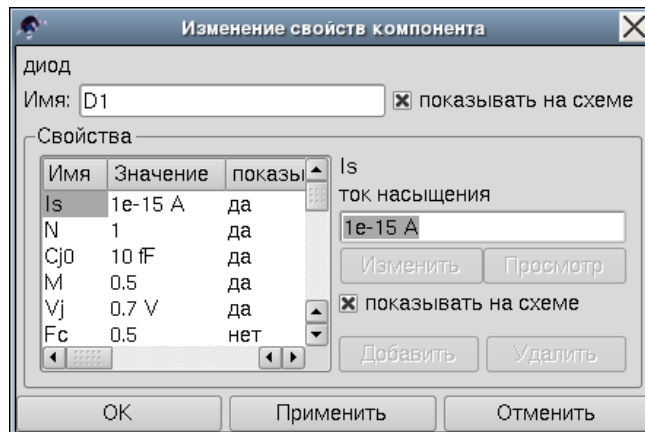
Это даст вам нечто похожее на правый график моего снимка экрана выше. Прodelайте это все вновь, но на этот раз, прежде, чем нажимать ОК, откройте окно свойств, которое выглядит похожим на это.



Здесь я выбрал логарифмическую ось X, что дает мне график слева. Я также передвинул их, изменив размер, чтобы они выглядели лучше; вы можете осуществить разного рода задумки, если хотите.

Я тайком устроил небольшую проверку, чтобы убедиться, что вы действительно все это проделали. Те, кто делал все, запустив симуляцию, вероятно удивились, почему ваш график выглядит несколько иначе, чем мой. Есть одна деталь, при больших токах на логарифмической шкале ваша кривая – прямая линия, тогда как моя тревожно поднимается вверх. Что случилось?

Все, что я сделал, открыл диалог свойств диода и установил некоторые параметры. Вот как выглядит окно диалога...



и каждый из этих вводов устанавливает один параметр виртуального компонента, который мы используем для модели диода.

Так что же это за параметры? Пришло время исследования одного из восхитительных аспектов компьютерной симуляции цепей, моделирование устройств...

3.3 Модели и параметры

Когда компьютер создает этот маленький кусочек виртуальной реальности, который представляет вашу физическую цепь, он использует заданные уравнения, которые описывают операцию с каждым устройством, включаемым в схему. Уравнение, которое относится к прямому DC напряжению на диоде, как функции тока, это

$$I_d = I_s \cdot \left(e^{\frac{V_d}{V_t}} - 1 \right)$$

где V_t – это прямое падение напряжения при 25 градусах C, при идеальном соединении, также задаваемом

$$V_t = \frac{K_b \cdot T}{q}$$

где

- K_b = постоянная Больцмана
- T = температура в градусах по Кельвину
- q = заряд электрона

большинство из них – это константы, которые уже знакомы программе. Те, что нам нужно задать, это те, что в списке в окне редактора свойств. Для DC характеристик, чаще всего, есть только несколько, о которых стоит беспокоиться – это I_s , ток насыщения, и T , температура. Если мы собираемся пропустить относительно большой ток через диод, мы можем также включить последовательный резистор R_s ; если мы беспокоимся о поведении при малых токах, тогда нам нужно добавить параметр обратного тока I_{sr} .

Как нам узнать, какое значение вставить? Большая часть должна быть описана в разделе о моделировании устройств. В действительности, мы как всегда имеем две возможности для выбора: использовать значение, взятое откуда-нибудь еще, или найти наше собственное значение, обычно методом проб и ошибок.

Есть великое множество моделей, подходящих к разным программам симуляции. Возможно, больше всего из доступного и бесплатного подходит для **spice**, и это многое можно загрузить с сайтов компаний, производящих полупроводниковые изделия. Вот, например, типичная spice модель для диода⁴ 1N4148:

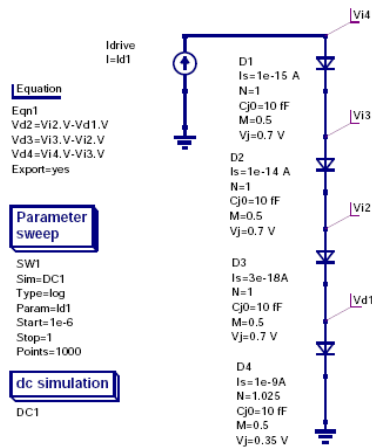
```
.model 1N4148 D(Is=0.1p Rs=16 CJO=2p Tt=12n Bv=100 Ibv=0.1p) 85-??-??  
Original library
```

Любые не предоставленные значения подразумеваются значениями по умолчанию.

Другой путь – создать ваши собственные параметры устройства, которые схожи с червяками, которыми надо запастись пред рыбалкой. Вставляйте значения, рисуйте результирующие характеристики, смотрите как они согласуются со значениями опубликованных данных, возвращайтесь назад и подстраивайте значения; продолжайте этот процесс, пока результаты вас не удовлетворят или не измучают.

Вот, например, цепь для быстрого сравнения прямых характеристик диодов с различными значениями параметров.

⁴ Я не знаю, откуда это появилось, так что не знаю автора. Большинство библиотек с авторскими правами, даже если они в свободном распространении.



А вот графический вывод...

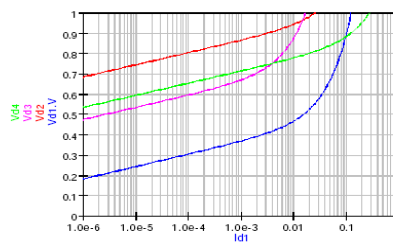


Рис. 3.3. Прямое напряжение на диоде

Зеленая и пурпурная кривые типичны для устройств 1N4148 и 1N4448; другие – это средние и низко-барьерные устройства Шотки. Я сделал первый проход сравнения со справочным листком, но не могу гарантировать, что эти кривые нечто большее, чем мои наилучшие приближения⁵.

Если вы хотите получить больше информации о том, что делает каждый параметр, было нечто, написанное ранее, особенно для spice, по предмету; google search быстро обнаружит большую часть из этого. Qucs приходит с документом, который содержит детали по его моделям, и, будучи open source, всегда с, собственно, кодом.

Большинство из нас занимают позицию принятия на веру больших обсуждений, и совпадение кривых со справочными данными – это наилучшее, что мы можем. Это еще

⁵ Я полагаю, вы сейчас озадачены снимками с экрана, но я только распечатал схему и отобразил файлы из Qucs; вы можете найти раздел печати в меню файл, и, если вы хорошо попросите, он распечатает вам postscript файл.

один образец фундамента в инженерии, принцип утки (Duck Principle⁶): если вы не можете обнаружить разницу между поведением вашей модели и физического устройства, тогда они, для инженерных целей, одинаковы. Подойдите к этому с другой стороны, когда разница между моделью и реальным устройством падает ниже уровня неопределенности измерений, это уже не имеет значения.

В любом случае, разброс компонент в реальном мире имеет тенденцию делать погрешности тонких деталей модели чем-то академическим, как мы увидим при моделировании более сложных устройств.

⁶ Обычно звучит так: если это выглядит как утка, ходит как утка, крикает как утка и имеет вкус утки, тогда, для любой практической цели – это утка.

4 Начало работы с цифровыми цепями

Симуляция

4.1 Введение

21 Января 2006 Qucs 0.0.8 был выпущен группой разработчиков Qucs. Это первая версия пакета, включающего симуляцию цифровых цепей, базируемую на VHDL. FreeHDL⁷ было выбрано в качестве «движка» VHDL. В период, последовавший за выходом 0.0.8, имела место значительная активность, сконцентрированная вокруг поиска и исправления ошибок в цифровом коде симуляции Qucs. Многие из обнаруженных, сегодня включены в последний CVS код и будут, в конечном счете, устранены в следующих выпусках Qucs (сегодня есть версия 0.0.10). Примечания в этом руководстве относятся к моим контактам с другими пользователями Qucs, к некоторым подспудным идеям, касающимся возможностей и ограничений текущего состояния Qucs VHDL симуляции. Значительная часть информации, приведенная здесь, была ассемблирована автором, при участии Michael Margraf в деле тестирования и отладки VHDL кода, генерируемого Qucs. В дальнейшем, если есть большой интерес в этих замечаниях, или действительный к Qucs VHDL симуляции в целом, я буду обновлять все по мере улучшения возможностей Qucs по цифровой симуляции.

Цифровая симуляция Qucs следует за сложным набором шагов, которые более всего ясны для пользователей программ. На первом шаге схема, представляющая цифровую цепь для тестирования, рисуется. Эта схема содержит не соединенную группу цифровых компонент Qucs, кто-то (или многие пользователи) определяет цифровые подсхемы (если требуется), и копий иконок цифровой симуляции с временным, или таблиц истинности, набором параметров. На втором шаге информация, записанная на схеме цепи, конвертируется в текстовый файл, содержащий VHDL установки. Этим описываются компоненты схемы, их соединение и тестовые метки для представления симуляции схемы. Далее FreeHDL запускается из Qucs для конвертирования файла кода VHDL в C++ исходную программу. Это компиляция для формирования выполняемого машинного кода симуляции оригинальной цепи. И, наконец, Qucs запускает эту программу, собирает данные сигналов, как события цифровых сигналов, которые имеют место, и отображает графики сигналов, как функцию времени или цифровых данных, в формате таблицы истинности.

Код VHDL, генерируемый Qucs 0.0.8, ограничен в его рамках следующими факторами:

⁷ FreeHDL Project, <http://www.freehdl.seul.org/>.

- Цифровые вентили описаны потоком данных совпадающих установок.
- Триггеры (Flip-flop) и генераторы цифровых сигналов описаны установками процесса.
- Провода, соединяющие компоненты (сигналы), могут быть только типа бит, как определено в стандарте VHDL библиотеки⁸.
- Структуры цифровых шин не допустимы в данном выпуске пакета Qucs.
- Цифровые подсхемы могут быть нарисованы, как схемы, и ассоциированы с символами на манер того, что делается с аналоговыми подсхемами.
- Выводы цифровых подсхем могут иметь тип in, out, inout или analog. Qucs обходится с выводами типа analog также, как с VHDL выводами типа inout.
- Будучи определены, цифровые подсхемы могут размещаться и соединяться с другими компонентами схем.
- Множественные копии тех же цифровых подсхем допустимы на единственной схеме.
- Цифровые подсхемы могут быть также вложенными; вложения протестированы до глубины четыре.

4.2 Симуляция простых цифровых схем

Самая основная форма цифровой цепи, которая может быть смоделирована, такая, которая всецело состоит из predetermined цифровых компонент Qucs, нарисованных в схеме, имеющей только один уровень иерархии разработки. Таблица истинности для простой комбинационной цепи этого типа показана в таблице 7.1.

Выход F может быть выражен суммой произведений булевых форм, как

$$F = \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C}$$

⁸ Сигналы типа «только бит» определяют логические сигналы «0» и «1». Следует позаботиться, чтобы соединения сигналов не обнаруживалось в процессе симуляции, поскольку результирующее логическое состояние не может быть моделировано с типом «бит». Соединение сигналов могут случиться, когда два или более цифровых устройства пытаются перевести один и тот же провод в сигнал логического «0» и логической «1» в одно и то же время. Более того, не возможно смоделировать представление устройств с третьим состоянием, используя VHDL сигнал типа «бит».

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Таблица 4.1. Таблица истинности для логической цепи со входами A, B, C и выходом F.

После минимизации, используя булеву алгебру или карты Карно, выход F становится

$$F = A \cdot C + B \cdot \bar{C}$$

Схема примера 1 показана на рис. 4.1. Эта диаграмма была построена с использованием той же техники, что применялась при рисовании аналоговых схем.

4.2.1 Примечания по рисованию цифровых схем

- Только predefined компоненты Qucs могут применяться при рисовании цифровых схем, это (1) цифровые компоненты перечисленные в иконках окна цифровых компонент, (2) символ земли и (3) иконка цифровой симуляции.
- Полезный прием при рисовании цифровых схем – это принимать матричное приближение, показанное на рис. 4.1. Входные сигналы следуют сверху вниз по схеме, а выходные сигналы позиционируются на правой стороне по горизонтальной линии. Это делает проверку цепей схемы более легкой, чем в случае, когда диаграммы имеют соединяющие компоненты провода в неструктурированном виде.
- Входным и выходным проводам (сигналам) должны быть присвоены имена, по именам цепей для симуляции A, B, C и F на рис. 4.1. Если сигнальные провода не именованы пользователем, Qucs будет размещать на них разные произвольные имена. Это может сделать идентификацию и выбор сигналов для отображения на графике выводного окна, и проверку и поиск ошибок в большой схеме, значительно более трудными, чем это действительно требуется.
- Отметьте на рис. 4.1. интернациональные символы для логических вентилей, показанных на схеме.

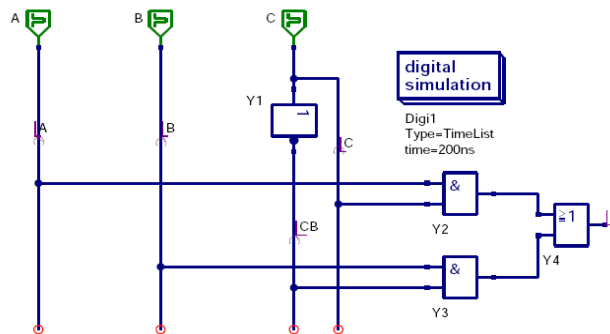


Рис. 4.1. Qucs схема для минимизации логической функции F

4.3 VHDL код, генерированный Qucs

Щелчок по клавише меню Qucs **Моделировать** (или нажатие на клавишу F2) начинает процесс симуляции. В начальной стадии этого процесса Qucs записывает текстовый файл на диск, файл содержащий код VHDL для симулируемой схемы. Этот файл может быть отображен щелчком по показанному в конце выпадающего меню netlist или нажатием клавиши F6. Код VHDL, произведенный Qucs для цепи, показанной на рис. 4.1, отображен в таблице 4.2.

Сигналы идентифицируемые как *nnet0* и *nnet1* в таблице были присвоены Qucs; *nnet0* и *nnet1* внутренние сигнальные сети, которые не именованы на схеме, показанной на рис. 4.1. Рис. 4.2 иллюстрирует начальную секцию типичного Qucs цифрового функционального графика. Этот стиль графика иллюстрирует событийные сигналы без задержек распространения компонент. Если требуется, задержки сигналов могут быть специфицированы для индивидуальных вентилях и других компонент (из меню редактора свойств компонент). VHDL код, генерированный для компонент с задержками, будет затем отображать подобные изменения, например, добавление 10 ns задержки сигналу CB в таблице 4.2 генерирует VHDL код

```
CB <= not C after 10 ns;
```

Читатели, возможно, окажутся достаточно наблюдательны, чтобы отметить – номер версии Qucs в таблице 4.2 листинга VHDL это 0.0.9. Это текущий номер версии CVS разработки. Qucs 0.0.9 включает некоторое количество важных зафиксированных ошибок. Оставшиеся примечания подразумевают, что читатели загрузили и откомпилировали последний CVS код с Sourceforge.net⁹.

⁹ Заметьте, что Qucs Linux выпуска 0.0.8 нормально симулирует цифровую схему с единственной


```

Qucs 0.0.9 tut1 ex1.sch
entity TestBench is
end entity ;
use work . all ;

architecture Arch TestBench of TestBench is
signal CB, A, B, F, C,
        nnnet0 ,
        nnnet1 : bit ;
begin
    nnnet0 <= C and A;
    nnnet1 <= CB and B;
    CB <= not C;

    A: process
    begin
        A <= ' 0 ' ; wait for 40 ns ;
        A <= ' 1 ' ; wait for 40 ns ;
    end process ;

    B: process
    begin
        B <= ' 0 ' ; wait for 20 ns ;
        B <= ' 1 ' ; wait for 20 ns ;
    end process ;

    F <= nnnet1 or nnnet0 ;

    C: process
    begin
        C <= ' 0 ' ; wait for 10 ns ;
        C <= ' 1 ' ; wait for 10 ns ;
    end process ;
end architecture ;

```

Таблица 4.2. VHDL код для схемы, показанной на рис. 4.1

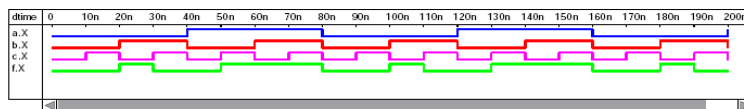


Рис. 4.2. Цифровая функциональная диаграмма для схемы на рис. 4.1

4.4 Таблицы истинности

Таблицы истинности – это один из самых фундаментальных и удобных способов отображения данных цифровых цепей. Qucs имеет встроенные средства, которые позволяют генерировать таблицы истинности из чертежа схемы. Это средство особенно полезно при поиске ошибок минимизации логической разработки. Давайте рассмотрим простой, но поучительный пример: логическая схема имеет четыре

иерархий без ошибок. Однако Qucs 0.0.8 аварийно завершает работу в фазе конверсии VHDL в C++, если схема имеет больше одного символа земли.

двоичных входа А, В, С и D, и один выход Р. Выход Р в логической «1», когда входы ABCD нумеруются в десятичной последовательности 3, 5, 7, 11 и 13. В булевой форме сумма произведений

$$P = \bar{A}.\bar{B}.C.D + \bar{A}.B.\bar{C}.D + \bar{A}.B.C.D + A.\bar{B}.\bar{C}.D + A.B.\bar{C}.D$$

Это упрощается до

$$P = D.(A.B + B \oplus C)$$

Схема для суммы произведений уравнения Р показана на рис. 4.3(a). Похожая на рис. 4.3(b) представляет схему для минимизированного уравнения Р. Установка типа цифровой симуляции в виде таблицы истинности, а не в виде временного списка, заставляет Qucs по нажатию клавиши F2 генерировать таблицу истинности по информации, предоставляемой схемой. Число входов таблицы истинности и фактических выходов соответствует числу входов генераторов и числу именованных выходов. Таблица истинности для обеих схем дана в таблицах 4.3(a) и 4.3(b). Сравнение этих двух таблиц ясно показывает, что они не одинаковы и, более того, подтверждают, что минимизированное решение не корректно. Переделка процедуры минимизации указывает на ошибку – пропущенную инверсию сигнала. Корректное булево уравнение для Р

$$P = D.(\bar{A}.B + B \oplus C)$$

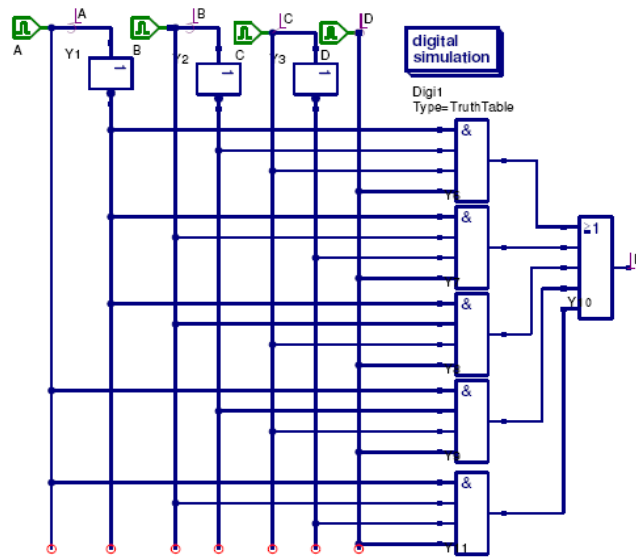


Рис. 4.3(а). Диаграмма для суммы произведений уравнения P

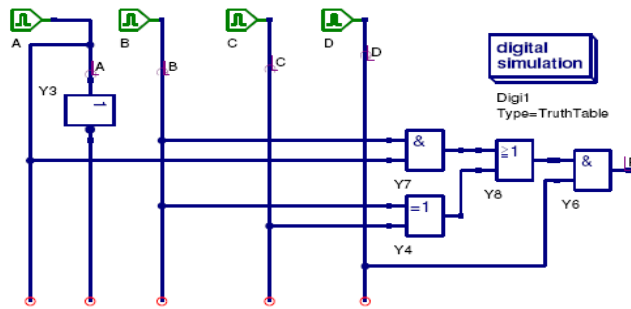


Рис. 4.3(б). Диаграмма для минимизированного уравнения P

	a.X	b.X	c.X	d.X	p.X
00000	0	0	0	0	0
00001	0	0	0	1	0
00010	0	0	1	0	0
00011	0	0	1	1	1
00100	0	1	0	0	0
00101	0	1	0	1	1
00110	0	1	1	0	0
00111	0	1	1	1	1
01000	1	0	0	0	0
01001	1	0	0	1	0
01010	1	0	1	0	0
01011	1	0	1	1	1
01100	1	1	0	0	0
01101	1	1	0	1	1
01110	1	1	1	0	0
01111	1	1	1	1	0

Таблица 4.3(a). Таблица истинности для суммы произведений уравнения Р

	a.X	b.X	c.X	d.X	p.X
00000	0	0	0	0	0
00001	0	0	0	1	0
00010	0	0	1	0	0
00011	0	0	1	1	1
00100	0	1	0	0	0
00101	0	1	0	1	1
00110	0	1	1	0	0
00111	0	1	1	1	0
01000	1	0	0	0	0
01001	1	0	0	1	0
01010	1	0	1	0	0
01011	1	0	1	1	1
01100	1	1	0	0	0
01101	1	1	0	1	1
01110	1	1	1	0	0
01111	1	1	1	1	1

Таблица 4.3(b). Таблица истинности для минимизированного уравнения Р

4.5 Цифровые подсхемы

Хотя возможно рисовать сложные схемы, используя только predetermined цифровые компоненты, полученные с Qucs, эта техника может быть крайне скучна, и, конечно, склонна к ошибкам. При черчении больших схем мы требуем процедуры разработки, которая естественно подразделяет группы цифровых компонент на самостоятельные единицы. Последние могут быть позже обрабатываться так же, как и базовые цифровые компоненты, когда размещаются и соединяются в чертеже схемы. В мире разработки аналоговых и цифровых цепей такие единицы часто называются подсхемами¹⁰. Подсхема определена тремя главными атрибутами плюс некоторое количество других свойств. Главные атрибуты – это, в первую очередь, цифровая цепь, которая определяет цифровую функцию, затем, символ цепи, который изображает цепь на верхнем уровне иерархии разработки, и, наконец, подсхема выводов ввода/вывода, показанные на символе подсхемы. Другие свойства включают, например, задержки сигналов. Процесс генерации цифровых подсхем идентичен процессу, используемому для аналоговых подсхем. Это лучше продемонстрировать на примере. Рис. 4.4 показывает схему для четырех-входовой комбинационной цепи.

После вычерчивания подсхемы выходы входа и выхода¹¹ прикрепляются к сигнальным портам. Выводы входного порта типа in показаны на диаграмме цепи, как зеленый символ – сигналы W, X, Y и Z на рис. 4.4. Вывод выходного порта типа out окрашен в красный цвет, сигнал G на рис. 4.4. Прохождение сигнала через порт обозначено стрелкой у символа порта. Сигналы входа/выхода и многие другие сигналы, которые нужно легко идентифицировать, имеют имена. Как только подсхема завершена, нажмите клавишу F3, чтобы Qucs генерировал символ подсхемы. Инструмент рисования, введенный как иконка в окне рисования Qucs, может быть использован для редактирования сгенерированных символов подсхем. Выводы порта ввода/вывода на символе подсхемы имеют тот же тип и имя, как и те, что на оригинальной подсхеме. Рис. 4.5 показывает окончательный символ для подсхемы COMB1. В этих заметках контур символа показан нарисованным в соответствии с международным кодом для логических символов¹². Для проверки нашей новой подсхемы мы поместим ее символ на чистый лист и используем тестовые сигналы для выводов входа, затем посмотрим сигналы на выходном выводе. Рис. 4.6 показывает типичную тестовую цепь. Подсхема

¹⁰ Симулятор схем SPICE – это хорошо известный пример повсеместного использования CAD программы, широко использующей подсхемы при разработке цепей.

¹¹ Qucs 0.0.8 имеет ошибку, которая приводит к ошибке VHDL компилятора, когда выходы подсхемы специфицированы, как выходы типа out. Для обхода проблемы следует задать выходные выходы, как выходы типа analog. Подпрограммы Qucs, генерирующие VHDL код цепи, конвертируют вывод типа analog в VHDL тип inout. FreeHDL затем получает возможность компилировать сгенерированный VHDL код без ошибки. Эта ошибка была скорректирована в Qucs 0.0.9.

¹² Ian Kampel, практическое введение в новые логические символы (A practical introduction to the new logic symbols), Butterworths, 1985, ISBN 0-408-01461-X.

Gen4bit генерирует 4х-битовый тестовый шаблон, синхронизированный со входом тактового генератора. Спецификация для Gen4bit дана в следующем разделе этих заметок¹³. Графическое изображение тестового шаблона и выходного сигнала G показаны, как функция времени, на рис. 4.7.

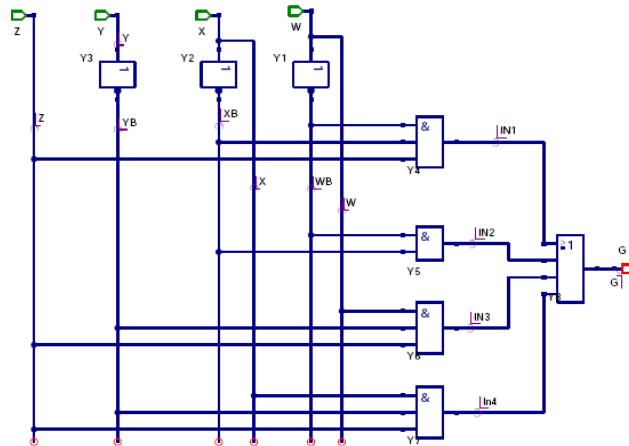


Рис. 4.4. Комбинационная логическая цепь со входами W, X, Y, Z и выходом G

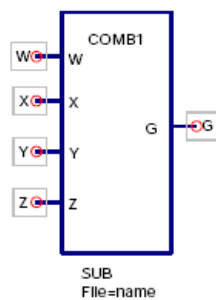


Рис. 4.5. Символ Qucs для логической цепи со входами W, X, Y, Z и выходом G

¹³ Подсхема Gen4bit включает другие вложенные подсхемы. Qucs 0.0.8 имеет ошибку, приводящую к ошибке VHDL компилятора с некоторыми конфигурациями вложенных подсхем. Это было устранено в версии 0.0.9.

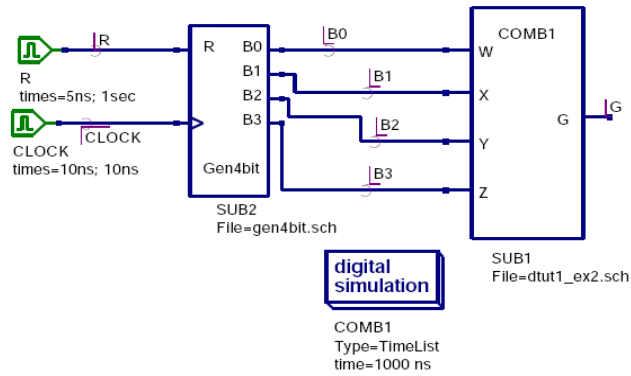


Рис. 4.6. Тестовая схема для логической цепи со входами W, X, Y, Z и выходом G

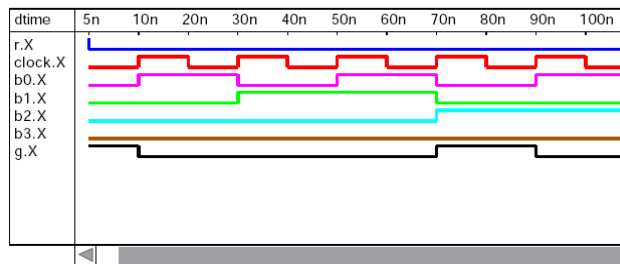


Рис. 4.7. Функциональная диаграмма для логической цепи со входами W, X, Y, Z и выходом G

4.6 Построение цифровой библиотеки компонент

Графический интерфейс пользователя Qucs включает хорошие средства поддержки проекта. Комбинация этих возможностей с возможностями подсхем Qucs предоставляет все инструменты, требуемые для разработки библиотеки общих цифровых компонент. Такая библиотека может быть сохранена в мастер-проекте, а файлы индивидуальных компонент импортированы в другие проекты, когда это требуется. Вот несколько компонент, которые я разработал в процессе недавней серии целевых тестов по выявлению ошибок в VHDL коде, генерируемом Qucs.

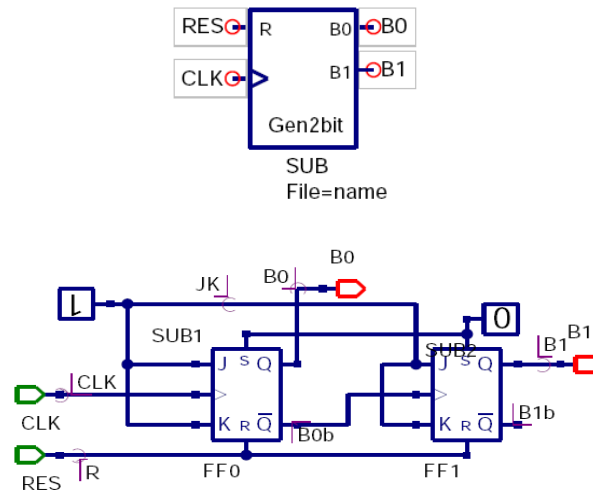
4.6.1 Логический ноль



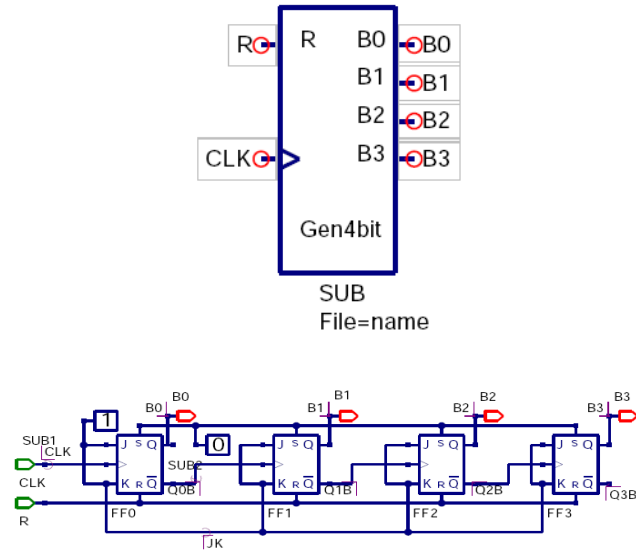
4.6.2 Логическая единица



4.6.3 G2bit – 2х-битовый генератор шаблона

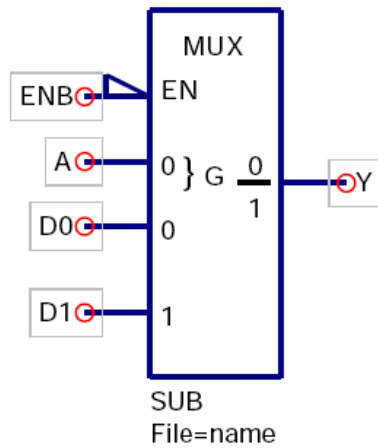


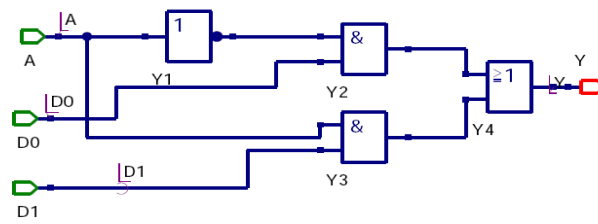
4.6.4 G4bit – 4х-битовый генератор шаблона



4.6.5 MUX2to1 – 2 входа на 1 мультиплексор

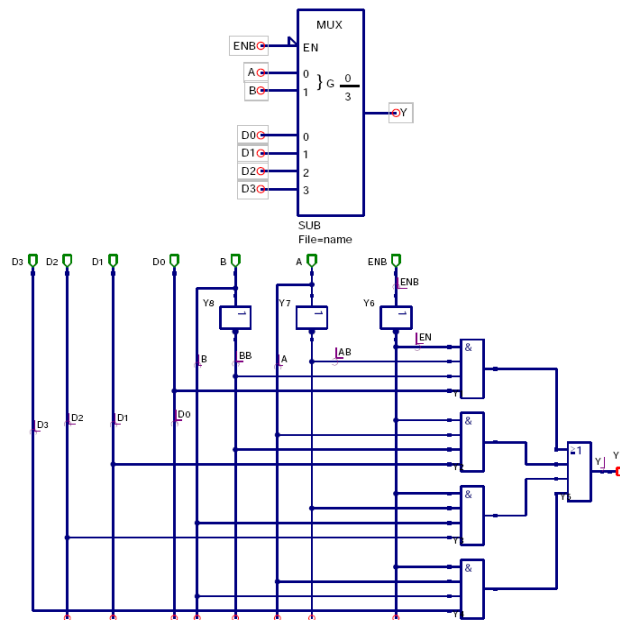
EN	A	Y
1	X	L
0	0	D0
0	1	D1



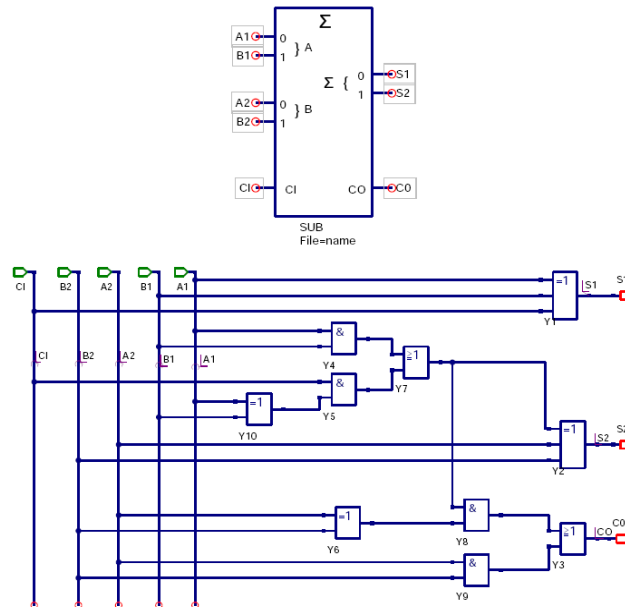


4.6.6 MUX4to1 – 4 входа на 1 мультиплексор

B	A	EN	Y
X	X	1	0
0	0	0	D0
0	1	0	D1
1	0	0	D2
1	1	0	D3



4.6.7 2-х битовый сумматор



4.7 Код подсистемы VHDL, генерированный Qucs

Qucs генерирует отдельные объектно-архитектурные модели для каждой подсистемы. Определения этого компонента компилируются в рабочую библиотеку FreeHDL. Вот код VHDL из двух предыдущих примеров.

4.7.1 Gen2bit

```

entity Sub_gen2bit is
    port (CLK: in bit ;
          R: in bit ;
          nnout_B0 : out bit ;
          nnout_B1 : out bit );
end entity ;
use work . all ;
architecture Arch_Sub_gen2bit of Sub_gen2bit is
    signal B0b ,
           B1b ,
           JK ,
           nnnet0 ,
           B0 ,
           B1 : bit;
begin

```

```

FF0 : process (nnnet0 , R, CLK)
begin
    if (R= '1 ') then B0 <= '0 ' ;
    elsif ( nnnnet0= '1 ') then B0 <= '1 ' ;
    elsif (CLK= '1 ' and CLK' event ) then
        B0 <= (JK and not B0) or ( not JK and B0 ) ;
    end if ;
end process ;
B0b <= not B0 ;

FF1 : process (nnnet0 , R, B0b)
begin
    if (R= '1 ') then B1 <= '0 ' ;
    elsif ( nnnnet0= '1 ') then B1 <= '1 ' ;
    elsif (B0b= '1 ' and B0b' event) then
        B1 <= (JK and not B1) or ( not JK and B1 ) ;
    end if ;
end process ;
B1b <= not B1 ;

SUB2 : entity Sub_logic_zero port map (nnnet0 ) ;
nnout_B0 <= B0 or '0 ' ;
nnout_B1 <= B1 or '0 ' ;
SUB1 : entity Sub_Logic_one port map (JK ) ;
end architecture ;

```

4.7.2 2х-битовый сумматор

```

entity Sub_fadd_2bit is
port (A1 : in bit ;
      B1 : in bit ;
      A2 : in bit ;
      B2 : in bit ;
      CI : in bit ;
      nnout_S1 : out bit ;
      nnout_S2 : out bit ;
      nnout_CO : out bit );
end entity ;

use work . all ;
architecture Arch_Sub_fadd_2bit of Sub_fadd_2bit is
    signal nnnnet0 ,
           nnnnet1 ,
           nnnnet2 ,
           nnnnet3 ,
           nnnnet4 ,
           nnnnet5 ,
           nnnnet6 ,
           S2 ,
           CO,
           S1 : bit;
begin
    S1 <= CI xor B1 xor A1 ;
    nnnnet0 <= B2 xor A2 ;
    nnnnet1 <= nnnnet0 and nnnnet2 ;
    nnnnet3 <= B2 and A2 ;
    nnnnet2 <= nnnnet4 or nnnnet5 ;
    nnnnet4 <= nnnnet6 and CI ;
    nnnnet5 <= B1 and A1 ;
    S2 <= B2 xor A2 xor nnnnet2 ;

```

```

CO <= nnet3 or nnet1 ;
nnet6 <= B1 xor A1 ;
nnout S2 <= S2 or '0 ' ;
nnout CO <= CO or '0 ' ;
nnout S1 <= S1 or '0 ' ;
end architecture ;

```

4.7.3 Замечания по генерации VHDL подсхем

- Qucs предопределяет генерацию цифровых компонент, совпадающую с потоком данных состояний сигналов или состояний процесса.
- Ранее определенные символы подсхем генерируют VHDL карту состояний портов.
- Сигналы объекта порт типа out защищены от чтения, как входные сигналы, маскированием каждого выходного сигнала с использованием логической функции signal-name OR '0'¹⁴.
- VHDL

```
use work . all ;
```

состояние включено перед каждым определением архитектуры подсхемы для обеспечения того, чтобы FreeHDL могло найти любую вложенную подсхему¹⁵.

- Полный файл кода VHDL для цифровой разработки составлен из выходных тестовых стендов объектно-архитектурной модели плюс объектно-архитектурные модели для каждой подсхемы, специфицированной в разработке.

4.8 Вложение подсхем: более сложный пример разработки

Теоретически нет ограничений на глубину вложения подсхем, допускаемой в Qucs. На практике большинство цифровых схем могут быть сконструированы с максимальным числом уровней иерархии разработки равным четырем или пяти. Рис. 4.8 показывает пример, который использовался для тестирования Qucs на предмет вложения подсхем. Разработка – простая RTL функция, которая использует мультиплексор для передачи данных от одного из двух входных регистров к единственному выходному регистру. Следующий раздел этих заметок обрисовывает в деталях спецификацию подсхем, необходимых для построения RTL разработки. Набор

¹⁴ Попытка прочесть сигналы объекта порта типа out вызывают в VHDL ошибку компиляции.

¹⁵ Строго говоря, это не необходимо – задавать состояние использования рабочей библиотеки, поскольку эта библиотека обычно видима в любое время, когда компилируются объектно-архитектурные модели. Однако при настоящем состоянии разработки FreeHDL выяснилось, что это необходимо при использовании предопределенной FreeHDL VHDL карты библиотеки.

графиков симуляции, показывающий операцию передачи в регистр, на рис. 4.9.

4.8.1 4х-битовая разработка RTL

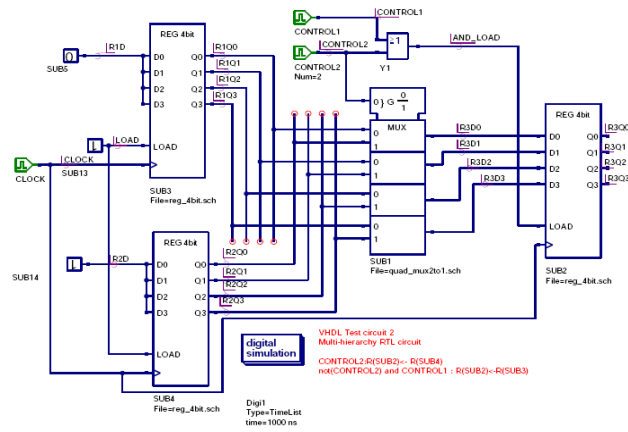
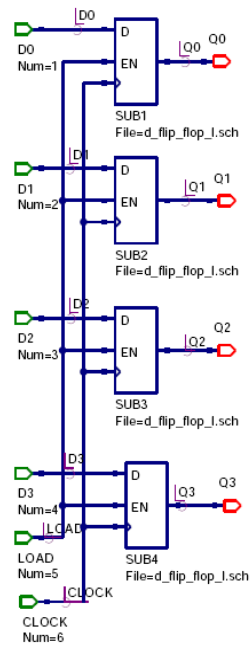
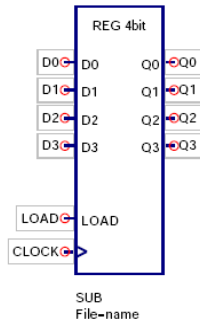
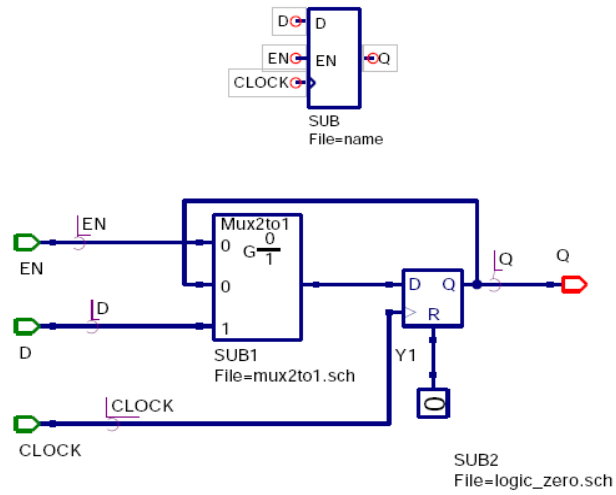


Рис. 4.8. Схема верхнего уровня

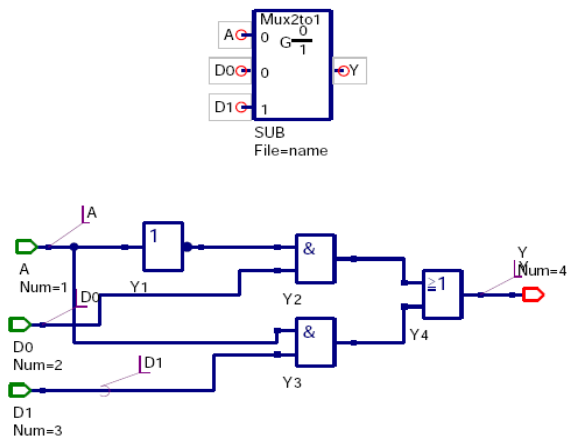
Reg4bit



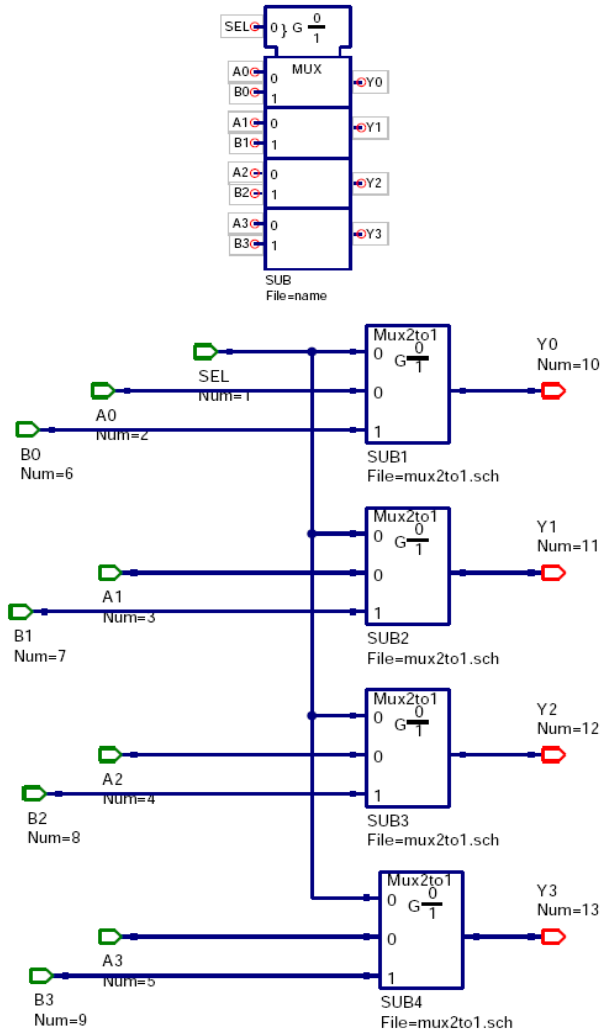
D flip-flop (триггер) с возможностью загрузки



Mux2to1



QuadMux



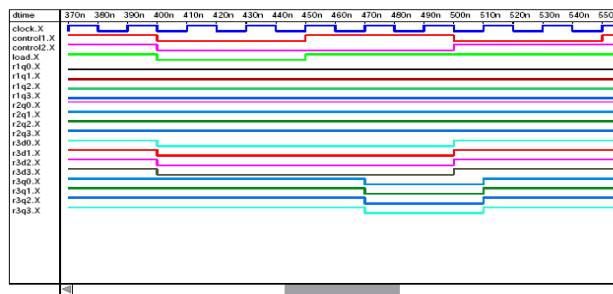


Рис. 4.9. Образец графика симуляции для RTL разработки

4.9 Обновление номер один: Май 2006

Хотя прошло совсем немного времени с момента публикации первой версии заметок к этому цифровому руководству на Qucs Sourceforge Web-сайте, произошло многое в мире цифровой симуляции Qucs. Ошибки в коде Qucs были найдены и исправлены, и ряд новых возможностей добавлено в программу. Это расширяет мощь цифровой симуляции Qucs, и дает пользователям некоторое представление о дальнейшей эволюции пакета. Цель данных заметок: во-первых, оповестить читателей о тех новинках, что появились в цифровой симуляции Qucs, и, во-вторых, пояснить, как эти новинки использовать. Заметьте, однако, заметки не преследуют цели обучить читателей, как программировать, используя VHDL¹⁶.

4.9.1 Ошибки, коррекция и небольшие изменения в коде цифровой симуляции Qucs

Все ошибки, о которых сообщалось в первой версии этих заметок, были скорректированы в последнем Qucs CVS коде. Эти коррективы, конечно, также включены в выпуск Qucs 0.0.9. В процессе тестирования некоторое количество других мелких, но существенных, ошибок было также найдено и устранено, это включает

- Много-входовые вентили (три или более входов) типа `nand` и `nor` приводили к ошибке FreeHDL компиляции из-за ошибки в VHDL коде, генерируемом Qucs.
- Имена сигналов и, например, имена компонент из одной буквы, которые были аббревиатурой физических устройств вызывали сбой компиляции.
- Изменение времени задержки цифровых компонент приводило к тому, что соединение компонента в схеме удалялось.

¹⁶ Хорошее введение в язык VHDL и его приложение к разработке цифровых систем может быть найдено в *Digital System Design using VHDL* by Charles H. Roth, Jr, PWS Publishing Company, 1997, ISBN 0-534-95099-X.

- GUI проблемы приводили к ошибкам в коде поворотов и отражений символов.
- Ошибки Qucsconv кода преобразования приводили к тому, что цикл цифровой симуляции Qucs давал сбой до вывода графика TimeList.

Было сделано некоторое количество изменений либо VHDL кода, генерируемого Qucs, либо ввода схемы GUI, что включает

- VHDL код, генерируемый Qucs для символа земли был изменен


```
gnd <= gnd and '0 ' ;
to
gnd <= '0 ' ;
```
- Символ для порта цифрового ввода был изменен с символа аналогового вывода на такой, что содержит цифровые in и out выходы, нарисованные бок-о-бок. Это отражает двунаправленное состояние порта inout.

Более полный список всех коррекций ошибок и других программных модификаций может быть найден в лог-файлах изменений Qucs.

4.9.2 Новые возможности цифровой симуляции

Диаграмма потока, иллюстрированного на рис. 4.10, показывает некоторое количество разных трассировок симуляции для тестируемой цифровой цепи. Возможности цифровой симуляции Qucs были улучшены, чтобы включить прямую симуляцию VHDL испытательных стендов и симуляции схем, которые включают цифровые компоненты, специфицированные VHDL объектно-архитектурными моделями. Различные комбинации, которые пользователи могли адаптировать к Qucs элементам цифровых цепей, это:

1. Элементы цепей схемы используют predetermined символы цифровых компонент, генерация подсхем использует те же самые символы и копирует иконки цифровой симуляции; это приближение описано в первой версии этих заметок.
2. Элемент цепи, идентичный символам 1 плюс для цифровых компонент, специфицированных VHDL объектно-архитектурных моделей.
3. Элемент цепи, использующий Qucs VHDL редактор кода. Введенный текст описывает и тестируемую цепь, и векторы тестирования нужные для оживления входов цепи в процессе симуляции.

Когда тестируемая цепь была введена в Qucs, щелкните по клавише меню Моделировать или нажмите клавишу F2, что запустит процесс цифровой симуляции Qucs.

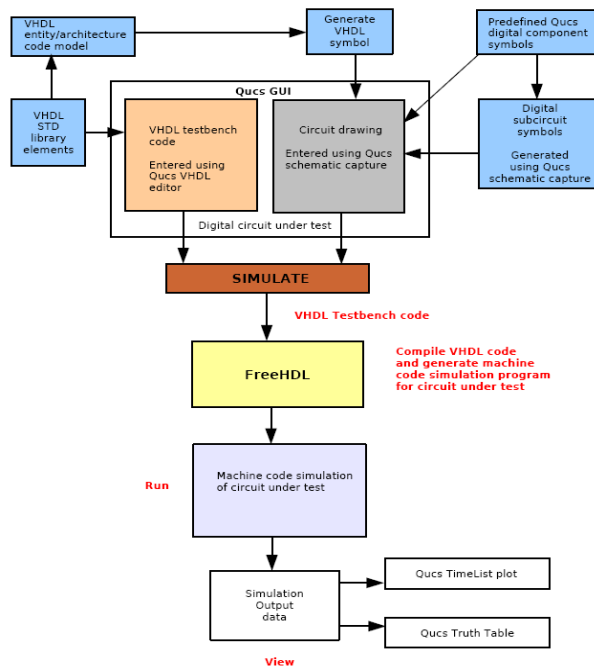


Рис. 4.10. Диаграмма трассировки потока Qucs

4.9.3 Ограничения

Прежде, чем приступить к описанию новых возможностей цифровой симуляции, очень важно, чтобы читатели поняли ограничения, которые присущи различным трассировкам цифровой симуляции, описанным в последнем разделе и иллюстрированным в диаграмме потока, показанной на рис. 4.10. Ввод схемы Qucs позволяет пользователям рисовать цепи, состоящие из символов predetermined компонентов и символов подсхем. На этой стадии разработки GUI цифровые сигналы должны быть типа «bit» (как определено в стандартной библиотеке VHDL – библиотеке STD в пакете FreeHDL), где индивидуальные сигналы проходят через единственный провод. Черчение шинных структур в Qucs типа VHDL bit-vector, например, не реализовано совсем. Это подразумевает, что выводы порта символа устройства должны представлять единственные сигналы. Похожим образом сети, соединяющие выводы на более, чем одном устройстве, могут быть только единичными сигналами сетей, а не шинными структурами. И не похоже, чтобы это было изменено в последующих выпусках Qucs.

Хотя текущий выпуск FreeHDL – это 0.0.1, пакет снабжен существенной подсетью объектов языка VHDL¹⁷. Основные возможности не поддерживаемые выпуском 0.0.1:

- Совместные переменные.
- Следующие атрибуты: transaction, quiet, stable и delayed.
- Атрибуты, определенные пользователем.
- Группы.
- Охраняемое задание сигналов.
- Текущие драйверы не могут выключаться.

Программа рисования Qucs TimeList использует вывод данных сигнала машинного кода программы симуляции, генерируемого пакетом FreeHDL¹⁸. Текущее ограничение программы черчения TimeList в том, что она может отображать только сигналы типа «bit». Графический вид шинных сигналов не может быть отображен.

Выше приведены ограничения, а это значит, что писать VHDL код, который будет компилироваться FreeHDL, возможно, но возможны и проблемы либо с чертежами схем, либо с выводом графиков состояния в цикле симуляции Qucs. Поскольку Qucs развивается, следует ожидать, что эти ограничения будут сняты. По вопросу ограничений последнее замечание: FreeHDL может симулировать цепи, описанные

¹⁷ Полное описание спецификаций 1987 и 1993 языка VHDL может быть найдено в The Designer's Guide to VHDL by Peter J. Ashenden, second edition 2002, Morgan Kaufmann Publishers, ISBN 1-55860-674-2.

¹⁸ Машинный код программы симуляции выводит данные сигналов в VCD формате. Затем это конвертируется в формат данных Qucs TimeList с помощью утилиты qucsconv.

типами данных и средствами, находящимися в

```
IEEE.std_logic_1164
```

библиотеке и других предопределенных библиотеках. Однако в данный момент разработки программного обеспечения Qucs может быть использована только стандартная библиотека VHDL, подразумевающая, что следует использовать данные типа «bit» для представления логических сигналов.

4.9.4 Использование Qucs VHDL редактора

Qucs выпуска 0.0.9 включает VHDL текстовый редактор¹⁹, который имеет все обычные средства редактирования плюс цветовое кодирование разных установок языка VHDL. Одно необычное свойство этого редактора – управление масштабом, что позволяет увеличивать или уменьшать размер текста, как это обычно реализовано для чертежей схем. Редактор VHDL включен в пакет Qucs с двумя основными целями, во-первых, для чисто текстового файла VHDL симуляции²⁰, и во-вторых, для разработки VHDL объектно-архитектурных моделей, которые могут быть связаны с символами ввода схемы. Последнее – это существенное увеличение возможностей программного обеспечения Qucs в появившейся возможности создания библиотек моделей устройств, изготовленных вручную. Эти новые библиотечные устройства, данные в поддержке основного сообщества пользователей Qucs, значительно расширяют потенциал использования пакета Qucs. В этом разделе использование текстового редактора VHDL продемонстрировано серией примеров цифровых цепей. Включенные VHDL листинги показывают типичное использование Qucs базовых типов данных VHDL. Текст также обрисовывает любые ограничения, накладываемые Qucs.

- Пример 1: Сумма произведений (SOP) комбинационной цифровой цепи. Булево уравнение²¹ для SOP комбинационной цепи:

$$f = \bar{W} \cdot \bar{X} \cdot \bar{Y} \cdot \bar{Z} + \bar{W} \cdot \bar{X} \cdot \bar{Y} \cdot Z + \bar{W} \cdot Y \cdot \bar{Z} + W \cdot X \cdot Y \cdot Z$$

VHDL код для структурной модели этой комбинационной цепи и ее ассоциированных испытательных стендов дан в следующем листинге.

¹⁹ Для запуска нового VHDL редактора щелкните по второй иконке слева на инструментальном меню Qucs. Он также может быть активирован использованием последовательности нажатия клавиш Ctrl+Shift+V.

²⁰ Это метод, еще предпочитаемый многими опытными пользователями VHDL. Однако подход через черчение схем, похоже, становится все популярнее.

²¹ Булево уравнение для функции f не было минимизировано. Оно в форме производной непосредственно из таблицы истинности, и представлено чисто примером, демонстрирующим использование Qucs VHDL редактора.

```

entity test_vector is    test_vector generator.
    port ( z, y, x, w: out bit);
end entity test_vector ;

architecture behavioural of test_vector is
begin
pz : process is
    begin
        z <= '0' ; wait for 20 ns;
        z <= '1' ; wait for 20 ns;
    end process pz ;
py : process is
    begin
        y <= '0' ; wait for 40 ns;
        y <= '1' ; wait for 40 ns;
    end process py ;
px : process is
    begin
        x <= '0' ; wait for 80 ns;
        x <= '1' ; wait for 80 ns;
    end process px ;
pw : process is
    begin
        w <= '0' ; wait for 160 ns;
        w <= '1' ; wait for 160 ns;
    end process pw ;
end architecture behavioural ;

entity and4 is 4 input and gate.
    port ( in1, in2, in3, in4 : in bit ;
        out1 : out bit );
end entity and4 ;

architecture dataflow of and4 is
    begin
        out1 <= in1 and in2 and in3 and in4 ;
    end architecture dataflow ;

entity and3 is 3 input and gate .
    port ( in1, in2, in3 : in bit ;
        out1 : out bit );
end entity and3 ;

architecture dataflow of and3 is
    begin
        out1 <= in1 and in2 and in3 ;
    end architecture dataflow ;

entity or4 is 4 input or gate.
    port ( in1, in2, in3, in4 : in bit ;
        out1 : out bit);
end entity or4 ;

architecture dataflow of or4 is
    begin
        out1 <= in1 or in2 or in3 or in4 ;
    end architecture dataflow ;

entity inv is Inverter.
    port ( in1 : in bit ;

```

```

        out1 : out bit);
end entity inv ;

architecture dataflow of inv is
    begin
        out1 <= not in1 ;
end architecture dataflow ;

entity testbench is    Test bench outer entity wrapper.
end entity testbench ;

library work ;
use work . all ;

architecture structural of testbench is Testbench architecture .
signal b0, b1, b2, b3, zb, yb, xb, wb,a, b, c, d, f : bit;
begin
    d1 : entity test_vector port map(b0, b1, b2, b3);
    d2 : entity inv port map(b0, wb);
    d3 : entity inv port map(b1, xb);
    d4 : entity inv port map(b2, yb);
    d5 : entity inv port map(b3, zb);
    d6 : entity and4 port map(zb, yb, b1, wb, a);
    d7 : entity and4 port map(zb, yb, xb, wb, b);
    d8 : entity and3 port map(zb, yb, b0, c);
    d9 : entity and4 port map(b0, b1, b2, b3, d);
    d10 : entity or4 port map(a, b, c, d, f);
end architecture structural ;

```

При вводе этого кода в текстовый редактор Qucs VHDL текст будет выделен цветом. К сожалению, цветовое кодирование теряется при печати или переносе в текстовый процессор, или компоновщик текста, подобный LaTeX. Структура листинга VHDL следует нормальным соглашениям для базируемой на тексте VHDL симуляции. Все компоненты объектно-архитектурных моделей должны быть определены до ссылок на них из других моделей компонент. Симуляция испытательных стендов должна быть последней объектно-архитектурной моделью в листинге VHDL. В течение VHDL фазы компиляции FreeHDL компилирует компонент объектно-архитектурных моделей в рабочую библиотеку²². Эти скомпилированные модели затем становятся доступны для испытательных стендов симуляции через VHDL установку use, вставляемую в листинг до установки архитектуры испытательного стенда (testbench architecture statement). Когда VHDL листинг для симуляции был введен в Qucs VHDL редактор кода, нажатием клавиши F2 запускается процесс симуляции. Продолжительность симуляции может быть задана использованием Настроек Документа в выпадающем меню Файл (или нажатием клавиш Ctrl+.). Любые VHDL синтаксические ошибки, или действительные опечатки, записываются в

²² В большинстве реализаций VHDL рабочая библиотека всегда видна, и не требуется делать ее видимой, используя установки библиотеки и использования. Однако FreeHDL, похоже, нуждается в этих установках в фазе линковки, иначе компилятор VHDL дает сбой.

файл и могут быть просмотрены нажатием клавиши F5. Очевидно, что если есть сообщение об ошибке, значит необходимо ее исправить, используя VHDL редактор текста, и перезапустить симуляцию. Типичный TimeList выход для примера 1 показан на рис. 4.11.

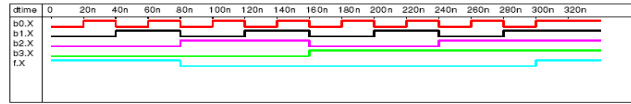


Рис. 4.11. Образец графики симуляции для редактора VHDL примера 1.

- Пример 2: Пример 1 VHDL редактора моделировал, используя поток данных VHDL установок. VHDL код второго примера дан в следующем листинге. VHDL стиль, выбранный для моделирования схемы, базируется на потоке данных VHDL, совпадающем с назначенными сигналами. Входные текстовые векторы сгенерированы с использованием простого механизма состояний, а не отдельных установок процесса. Спецификация тест-вектора порта генератора использует в точности один сигнал типа «bit», и может легко вписаться без проблем в другие компоненты, соединенные в диаграмму схемы Qucs. Процедура ввода символов компонент в схему из объектно-архитектурных моделей представлена в следующем разделе этих заметок. В этом примере также продемонстрировано использование бит-векторной конструкции шины. Qucs позволяет использовать бит-векторы, как сигналы или переменные в VHDL моделях, предоставляя все сигналы в установках порта объявления объекта только типа «bit»²³. Типичный вывод TimeList для примера 2 показан на рис. 4.12.

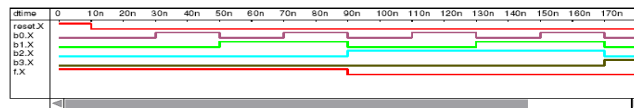


Рис. 4.12. Образец симуляции сигналов для редактора VHDL в примере 2.

²³ Это ограничение Qucs 0.0.9 и будет отменено в последующих выпусках пакета. Также заметьте, сигналы типа бит-вектора, которые декларируются в определении архитектуры, перечислены в диалоге графика сигналов TimeList. Однако текстовое сообщение говорит о том, что нет данных результатов, если сделана попытка отобразить их. И еще раз, это ограничение будет устранено в последующих выпусках Qucs.

```

entity test_vector_a is
    port ( RESET, CLOCK : in bit ;
          B0, B1, B2, B3 : out bit);
end entity test_vector_a ;

architecture behavioural of test_vector_a is
signal present_state , next_state : bit_vector (3 downto 0):= "1111 " ;
begin

p1 : process (CLOCK ) is
    begin
        if (CLOCK' event and CLOCK= '1 ' ) then
            present_state <= next_state ;
        end if ;
    end process p1 ;

p2 : process (RESET, present_state ) is
    begin
        if (RESET = '1' ) then next_state <= "1111";
        end if ;
        case present_state is
            when "0000" => next_state <= "0001";
            when "0001" => next_state <= "0010";
            when "0010" => next_state <= "0011";
            when "0011" => next_state <= "0100";
            when "0100" => next_state <= "0101";
            when "0101" => next_state <= "0110";
            when "0110" => next_state <= "0111";
            when "0111" => next_state <= "1000";
            when "1000" => next_state <= "1001";
            when "1001" => next_state <= "1010";
            when "1010" => next_state <= "1011";
            when "1011" => next_state <= "1100";
            when "1100" => next_state <= "1101";
            when "1101" => next_state <= "1110";
            when "1110" => next_state <= "1111";
            when "1111" => next_state <= "0000";
        end case ;
        B3 <= next_state (3); B2 <= next_state (2);
        B1 <= next_state (1); B0 <= next_state (0);
    end process p2 ;
end architecture behavioural ;

library work ;
use work . all ;

entity testbench is
end entity testbench ;

architecture dataflow of testbench is
signal reset, clk, b0, b1, b2, b3, zb : bit;
signal yb, xb, wb,a, b, c, d, f : bit;
begin
p1 : process is
    begin

```

```

        clk <= '0 ' ; wait for 10 ns ;
        clk <= '1 ' ; wait for 10 ns ;

end process p1 ;

p2 : process is
    begin
        reset <= '1 ' ; wait for 10 ns ;
        reset <= '0 ' ; wait for 2000 ns ;

end process p2 ;

d1 : entity test_vector_a port map(reset , clk , b0, b1, b2, b3);

    Data flow model of combinational circuit

        wb <= not b0; xb <= not b1; yb <= not b2; zb <= not b3 ;
        a <= (wb and b1 ) and ( yb and zb );
        b <= (wb and xb ) and ( yb and zb );
        c <= b0 and ( yb and zb );
        d <= (b0 and b1 ) and ( b2 and b3 );
        f <=a or b or c or d;
end architecture dataflow ;

```

- Пример 3: Пример 1 VHDL редактора моделирует, используя установки и переменные VHDL процесса.

VHDL код для третьего примера дан в листинге в конце этого параграфа. В этом примере иллюстрируется использование переменных VHDL. VHDL код для генератора вектора слегка необычен в том, что используется не традиционная разработка двух-процессорных служебных сигналов, предпринимающая и калькуляцию следующих данных состояния, и передачу информации о следующем состоянии в существующее состояние. Это приближение необходимо, поскольку FreeHDL не позволяет использовать разделяемые переменные. И еще раз, в этом примере только одно-битовые данные проходят через установки объекта к тестируемому устройству. Тестируемое устройство представлено таблицей истинности, кодированной в установки процесса. Это не самый элегантный код, но он вполне обеспечивает демонстрацию использования различных VHDL конструкций и типов данных в Qucs цифровой симуляции. Типичный TimeList график для редактора VHDL в примере 3 показан на рис. 4.13. Сравнение трех выходных графиков в примерах для редактора VHDL показывает, что все результаты симуляции очень похожи с некоторыми небольшими отличиями в начальной фазе, следующей за импульсом RESET, изменяющимся с логической «1» на логический «0». Этот, возможно, эффект возникает вследствие разной последовательности инициализации для каждой из тест-векторных моделей.

```

entity test_vector_b is
port ( RESET, CLOCK : in bit ;
      B0, B1, B2, B3 : out bit);
end entity test_vector_b ;

architecture behavioural of test_vector_b is
begin
p1 : process (RESET, CLOCK) is
    variable present_state , next_state :
        bit_vector (3 downto 0):= "0000 ";
    begin
        if (RESET = '1' ) then next_state := "0000";
        elsif (CLOCK' event and CLOCK= '1 ' ) then
            present_state := next_state ;
            case present_state is
                when "0000 " => next_state := "0001";
                when "0001 " => next_state := "0010";
                when "0010 " => next_state := "0011";
                when "0011 " => next_state := "0100";
                when "0100 " => next_state := "0101";
                when "0101 " => next_state := "0110";
                when "0110 " => next_state := "0111";
                when "0111 " => next_state := "1000";
                when "1000 " => next_state := "1001";
                when "1001 " => next_state := "1010";
                when "1010 " => next_state := "1011";
                when "1011 " => next_state := "1100";
                when "1100 " => next_state := "1101";
                when "1101 " => next_state := "1110";
                when "1110 " => next_state := "1111";
                when "1111 " => next_state := "0000";
            end case ;
            end if ;
            B3 <= next_state (3); B2 <= next_state (2);
            B1 <= next_state (1); B0 <= next_state (0);
        end process p1 ;
    end architecture behavioural ;

library work ;
use work . all ;

entity testbench is
end entity testbench ;

architecture dataflow of testbench is
signal reset, clk, b0, b1, b2, b3, f : bit;
begin
p1 : process is
    begin
        clk <= '0 ' ; wait for 10 ns;
        clk <= '1 ' ; wait for 10 ns;
    end process p1 ;

p2 : process is
    begin
        reset <= '1 ' ; wait for 10 ns;
        reset <= '0 ' ; wait for 2000 ns ;
    end process p2 ;

```

```

d1 : entity test_vector_b port map(reset , clk , b0, b1, b2, b3);

    Behavioural model of combinational circuit

p3 : process (b3, b2, b1, b0) is
variable SEL : bit_vector (3 downto 0);
begin
    SEL := b3&b2&b1&b0 ;
    if (SEL = "0010 ") then f <= '1 ' ;
    elsif (SEL = "0000 ") then f <= '1 ' ;
    elsif (SEL = "1111 ") then f <= '1 ' ;
    elsif (SEL = "0001 ") then f <= '1 ' ;
    elsif (SEL = "0011 ") then f <= '1 ' ;
    else f <= '0 ' ;
    end if ;
end process p3 ;
end architecture dataflow ;

```

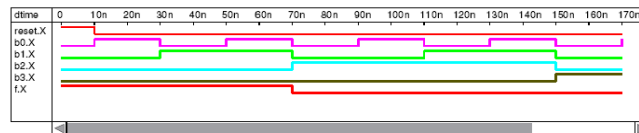


Рис. 4.13. Образец графика симуляции редактора VHDL в примере 3.

4.9.5 Линковка VHDL объектно-архитектурных моделей с символами устройств Qucs схемы

VHDL был изначально разработан, как язык описания оборудования для спецификации цифровых систем. И действительно, многие инженеры все еще предпочитают описывать цифровые системы полностью формулировками VHDL, а не использовать черчение схем. Когда он написан, код VHDL сохраняется как текстовый файл и становится входными данными для пакета VHDL компилятора/симулятора. Через общераспространенные запросы многие цифровые синтезаторы/симуляторы средств CAD²⁴ начинают включать способность линковки VHDL модельного кода с символами ввода схем. Затем это, конечно, можно использовать в диаграммах схем, как основной вход среды²⁵ разработки и симуляции цифровых цепей. Qucs выпуска 0.0.9 имеет такую возможность, позволяющую соединять VHDL код моделей с символами схемы. При черчении цифровых схем эти определенные пользователем символы могут смешиваться с предопределенными цифровыми символами Qucs и другими символами подсхем, определенными пользователем. Процесс линковки кода VHDL с чертежными символами схем Qucs непосредственный и будет

²⁴ См., например, XILINX, WebPACK программное обеспечение на http://www.xilinx.com/ise/logic_design_prod/webpack.htm.

²⁵ Пожалуйста, заметьте, что при начале процесса симуляции VHDL чертежи схем конвертируются в VHDL текстовый файл.

проиллюстрирован в этих заметках двумя примерами.

- Пример 4: 4х-битовый тестовый векторный генератор шаблона.
Показанное в таблице 4.4 – это листинг VHDL объектно-архитектурной модели 4х-битового двоичного генератора шаблона. VHDL код идентичен тестовому коду вектора, представленному в третьем примере редактора VHDL. После введения VHDL объектно-архитектурного кода модели, используя редактор Qucs для VHDL, окончательный текст сохраняется в файле с подходящим именем и расширением файла vhdI. Qucs затем вписывает модель под категорией проекта VHDL. Просто щелкните по имени модели в категории VHDL левой клавишей мышки, а затем перенесите указатель мышки в подходящее место на схеме, что приведет к тому, что Qucs переместит символ, представляющий модель, на лист с чертежом схемы. Размещение символа в позиции указываемой курсором достигается щелчком левой клавиши мышки. Процедура схожая с той, что используется для выбора и размещения предопределенных символов Qucs на чертеже схемы. Qucs автоматически генерирует символ прямоугольника с именем названной VHDL, имеющий то же самое количество выводов, что и установки порта в установках объекта VHDL модели. Каждый из выводов получает имя, которое соответствует имени в объектных установках. Qucs фиксирует порядок выводов на сгенерированном символе. Похоже, что нет возможности редактировать этот символ. Однако in, out или inout порты символов подсхемы могут быть прикреплены к символам VHDL и редактируемый пользователем символ генерируется. Рис. 4.14 показывает сгенерированный Qucs символ VHDL с прикрепленными портами для модели, записанной в таблице 4.4. Редактируемый символ для 4х-битового двоичного генератора шаблона показан на рис. 4.15. Заметьте, что на рис. 4.15 порядок расположения выводов был изменен для отражения естественного порядка устройства с его входными выводами слева и выходными справа. Символы VHDL модели могут также быть генерированы размещением компонента файла VHDL, что находится в обзорном листе в цифровых компонентах на схеме. При редактировании свойства имени файла VHDL для этого устройства на соответствие файлу объектно-архитектурной модели VHDL, Qucs автоматически генерирует символ VHDL. Определите ваш собственный символ, затем продолжите на тот же манер, что описано выше.

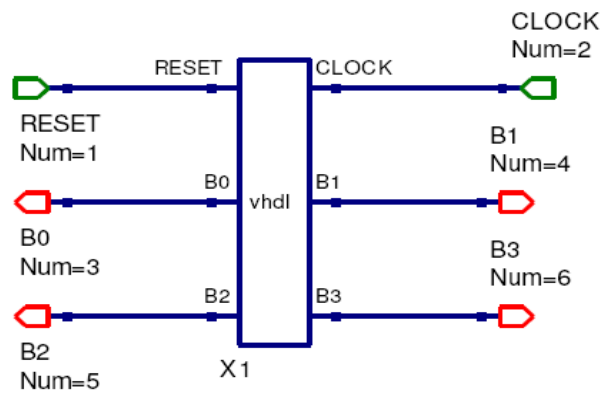


Рис. 4.14. Сгенерированный Qucs символ VHDL с портами подсистемы для тестового генератора шаблона

```

entity patgen_4bit is
port ( RESET, CLOCK : in bit ;
      B0, B1, B2, B3 : out bit);
end entity patgen_4bit ;

architecture behavioural of patgen_4bit is
begin
p1 : process (RESET, CLOCK) is
    variable present_state , next_state :
        bit_vector (3 downto 0):= "0000";

    begin
        if (RESET = '1' ) then next_state := "0000";
        elsif (CLOCK' event and CLOCK= '1 ' ) then
            present_state := next_state ;
            case present_state is
                when "0000 " => next_state := "0001";
                when "0001 " => next_state := "0010";
                when "0010 " => next_state := "0011";
                when "0011 " => next_state := "0100";
                when "0100 " => next_state := "0101";
                when "0101 " => next_state := "0110";
                when "0110 " => next_state := "0111";
                when "0111 " => next_state := "1000";
                when "1000 " => next_state := "1001";
                when "1001 " => next_state := "1010";
                when "1010 " => next_state := "1011";
                when "1011 " => next_state := "1100";
                when "1100 " => next_state := "1101";
                when "1101 " => next_state := "1110";
                when "1110 " => next_state := "1111";
                when "1111 " => next_state := "0000";
            end case ;
            end if ;
            B3 <= next_state (3); B2 <= next_state (2);
            B1 <= next_state (1); B0 <= next_state (0);
        end process p1 ;
end architecture behavioural ;

```

Таблица 4.4. VHDL код для 4х-битового генератора шаблона

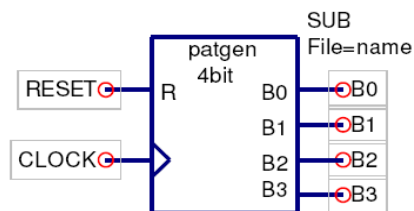


Рис. 4.15. Определенный пользователем символ 4х-битового генератора шаблона

```

Full adder 1 bit

entity fulladder is
port (a, b, cin : in bit ;
      sum, cout : out bit);
end entity fulladder ;

```



```

architecture dataflow of fulladder is
begin
    sum <= (a xor b) xor cin ;
    cout <= (a and b) or (a and cin) or (b and cin );
end architecture dataflow ;

```

Таблица 4.5. VHDL код для 1-битового полного сумматора

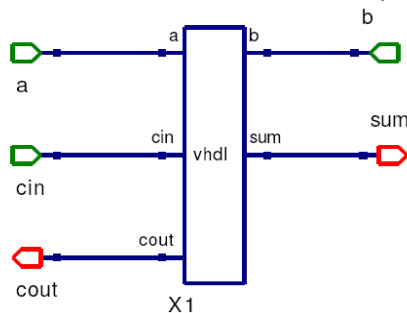


Рис. 4.16. Сгенерированный Qucs символ VHDL с портами подсхемы для одно-битового полного сумматора

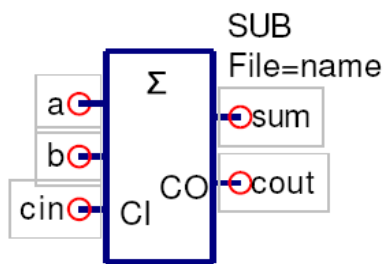


Рис. 4.17. Определенный пользователем символ одно-битового полного сумматора

- Пример 5: 4x-битовый полный сумматор.

Символы VHDL модели могут комбинироваться либо с символами predetermined цифровых компонентов Qucs, либо с другими символами подсхем. В данном примере VHDL модель для простого одно-битового полного сумматора соединяется четыре раза последовательно, формируя 4x-битовый полный сумматор. Код VHDL модели для простого одно-битового полного сумматора дан в таблице 4.5. Диаграмма ассоциированного символа для одно-битового полного сумматора показана на рис. 4.16 и 4.17.

Рис. 4.18 показывает схему простого 4-х битового сумматора. Соответствующий определенный пользователем символ 4-х битового полного сумматора дан на рис. 4.19.

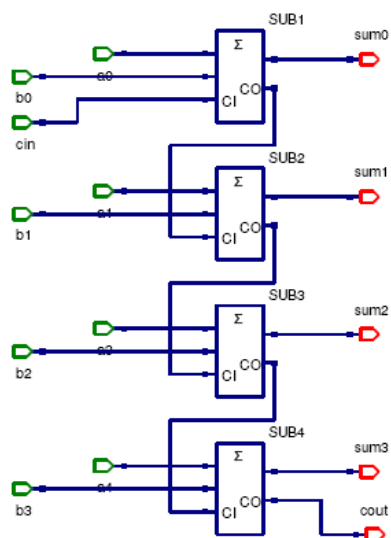


Рис. 4.18. Схема 4х-битового полного сумматора

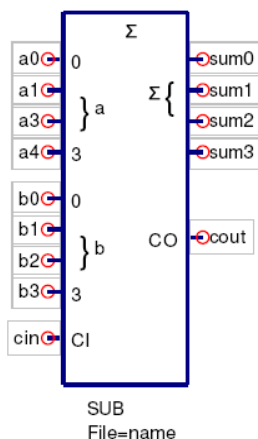


Рис. 4.19. Определенный пользователем символ 4х-битового полного сумматора

4.9.6 Генерация кода VHDL из схемы Qucs

Нажатие клавиши F2 приведет к симуляции Qucs разработки введенной пользователем Qucs. Входные данные для симуляции – это либо текстовый файл VHDL, сохраненный из текстового редактора VHDL, либо файл кода VHDL, сгенерированный Qucs, использовавшим информацию, заложенную в чертеж схемы. В этом разделе заметок руководства представлена большая разработка, а результирующий код VHDL и результаты симуляции обсуждаются. Пример, выбранный для этой цели – это 4 на 4 бита комбинационный цифровой множитель.

Оба, 4-х битовый генератор шаблона и 4-х битовый полный сумматор, обсуждавшиеся в последнем разделе, формируют часть разработки ядра 4-х битового множителя и его ассоциированного испытательного стенда. Таблица 4.6 показывает таблицу умножения для 4 бита на 4 бита комбинационного двоичного множителя. Входы устройства – это двоичные биты a3 a2 a1 a0 и b3 b2 b1 b0. Устройство множителя 4 на 4 требует 16 вентилей and (для генерации производимых множителем термов), трех 4х-битовых полных сумматора (для суммирования выходных г термов) и двух 4х-битовых генераторов шаблонов для проверки 256 возможных состояний входов. Выход множителя представлен в таблице 4.6 как r7 r6 r5 r4 r3 r2 r1 и r0. Схема для множителя 4 на 4 и испытательный стенд даны на рис. 4.20.

				b3	b2	b1	b0				
				a3	a2	a1	a0				
				a0b3	a0b2	a0b1	a0b0				
			a1b3	a1b2	a1b1	a1b0					
		a2b3	a2b2	a2b1	a2b0						
	a3b3	a3b2	a3b1	a3b0							
r7	r6	r5	r4	r3	r2	r1	r0				

Таблица 4.6. Таблица для 4 на 4 комбинационного множителя

Код VHDL для этого примера представлен в следующем листинге. Этот листинг был сгенерирован Qucs²⁶. Небольшая часть графика TimeList для цифрового множителя показана на рис. 4.21. В момент 1.74 микросекунд вход a – «0101», вход b – «0111» и выход r – «00100011», что соответствует десятичному 35. Несколько произвольных проверок результатов симуляции показали, что множитель 4 на 4 работает правильно. Заметьте, что код VHDL, сгенерированный Qucs для 4х-битового множителя, не содержит никаких временных задержек распространения данных. Это должно быть добавлено в вентили and, если необходимо. Однако на данном этапе разработки цифровой симуляции Qucs передача временных данных, и других параметров, от символов устройств, генерируемых из моделей VHDL, совершенно не реализован. Использование родовых типов (generics) VHDL очевидный путь, как это должно быть сделано. Родовые типы допустимы, конечно, в базируемых на тексте VHDL симуляциях.

²⁶ Некоторые читатели отметят, что именование схем для внутренних сетей сигналов отличается в листинге множителя VHDL по сравнению с листингом VHDL в первой версии этих заметок. В конечной фазе разработки 0.0.9 соглашение об именовании, применяемое для Qucs, было изменено, чтобы придать больше гибкости структуре.

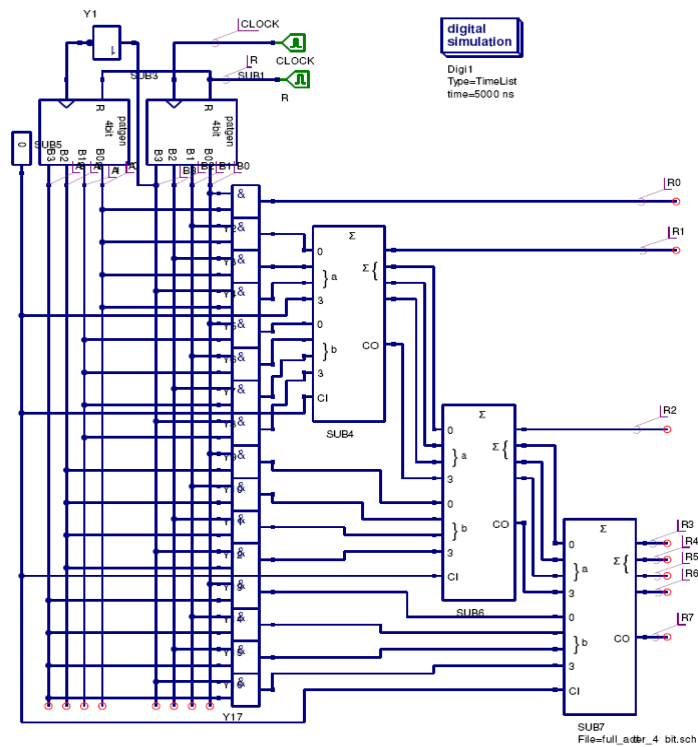


Рис. 4.20. 4 на 4 бита комбинационный цифровой множитель

```

Qucs 0.0.9
/mnt/hda2/vhdl_comp_lib_prj/multiplier_4bx4bit.sch

entity patgen_4bit is
    port ( RESET, CLOCK : in bit ;
          B0, B1, B2, B3 : out bit);
end entity patgen_4bit ;

architecture behavioural of patgen_4bit is
begin
    p1 : process (RESET, CLOCK) is
        variable present_state , next_state :
            bit_vector (3 downto 0) := "0000";
        begin
            if (RESET = '1' ) then next_state := "0000";
            elsif (CLOCK' event and CLOCK= '1') then
                present_state := next_state ;
                case present_state is
                    when "0000" => next_state := "0001";
                    when "0001" => next_state := "0010";
                    when "0010" => next_state := "0011";
                    when "0011" => next_state := "0100";
                    when "0100" => next_state := "0101";
                    when "0101" => next_state := "0110";
                    when "0110" => next_state := "0111";
                end case;
            end if;
        end process;
    end architecture;

```

```

        when "0111" => next_state := "1000";
        when "1000" => next_state := "1001";
        when "1001" => next_state := "1010";
        when "1010" => next_state := "1011";
        when "1011" => next_state := "1100";
        when "1100" => next_state := "1101";
        when "1101" => next_state := "1110";
        when "1110" => next_state := "1111";
        when "1111" => next_state := "0000";
    end case ;
end if ;
B3 <= next_state (3); B2 <= next_state (2);
B1 <= next_state (1); B0 <= next_state (0);
end process p1 ;
end architecture behavioural ;

entity Sub_patgen_4bit is
    port (net_net0 : in bit ;
          net_net5 : in bit ;
          net_outnet_net1 : out bit ;
          net_outnet_net3 : out bit ;
          net_outnet_net2 : out bit ;
          net_outnet_net4 : out bit );
end entity ;
use work . all ;
architecture Arch_Sub_patgen_4bit of Sub_patgen_4bit is
    signal net_net1 ,
           net_net2 ,
           net_net3 ,
           net_net4 : bit ;
begin
    net_outnet_net1 <= net_net1 or '0 ' ;
    net_outnet_net2 <= net_net2 or '0 ' ;
    net_outnet_net3 <= net_net3 or '0 ' ;
    net_outnet_net4 <= net_net4 or '0 ' ;
    X1 : entity patgen_4bit port map ( net_net0 , net_net5 ,
                                     net_net1 , net_net3 , net_net2 , net_net4 );
end architecture ;

    logic_zero.vhdl

entity logic_zero is
    port (Y : out bit);
end entity logic_zero ;

architecture dataflow of logic_zero is
begin
    Y <= '0 ' ;
end architecture dataflow ;

entity Sub_logic_zero is
    port ( net_outnetY : out bit );
end entity ;
use work . all ;
architecture Arch_Sub_logic_zero of Sub_logic_zero is
    signal netY : bit;
begin
    X1 : entity logic_zero port map ( netY ) ;
    net_outnetY <= netY or '0 ' ;
end architecture ;

```

```

Full adder 1 bit

entity fulladder is
    port (a, b, cin : in bit ;
          sum, cout : out bit);
end entity fulladder ;

architecture dataflow of fulladder is
begin
    sum <= (a xor b) xor cin ;
    cout <= (a and b) or (a and cin) or (b and cin ) ;
end architecture dataflow ;

entity Sub_full_adder_1bit is
    port (net_net0 : in bit ;
          net_net1 : in bit ;
          net_net2 : in bit ;
          net_outnet_net3 : out bit ;
          net_outnet_net4 : out bit );
end entity ;
use work . all ;
architecture Arch_Sub_full_adder_1bit of Sub_full_adder_1bit is
    signal net_net3 ,
           net_net4 : bit ;
begin
    X1 : entity fulladder port map ( net_net0 , net_net1 ,
    net_net2 , net_net3 , net_net4 );
    net_outnet_net3 <= net_net3 or '0 ' ;
    net_outnet_net4 <= net_net4 or '0 ' ;
end architecture ;

entity Sub_full_adder_4bit is
    port (net_net0 : in bit ;
          net_net1 : in bit ;
          net_net2 : in bit ;
          net_net3 : in bit ;
          net_net4 : in bit ;
          net_net5 : in bit ;
          net_net6 : in bit ;
          net_net13 : in bit ;
          net_net7 : in bit ;
          net_outnet_net8 : out bit ;
          net_outnet_net9 : out bit ;
          net_outnet_net10 : out bit ;
          net_outnet_net11 : out bit ;
          net_outnet_net12 : out bit );
end entity ;

use work . all ;
architecture Arch_Sub_full_adder_4bit of Sub_full_adder_4bit is
    signal net_net14 ,
           net_net15 ,
           net_net16 ,
           net_net8 ,
           net_net9 ,
           net_net10 ,
           net_net11 ,
           net_net12 : bit ;
begin
    net_outnet_net8 <= net_net8 or '0 ' ;
    net_outnet_net9 <= net_net9 or '0 ' ;
    net_outnet_net10 <= net_net10 or '0 ' ;

```

```

        net_outnet_net11 <= net_net11 or '0' ;
        net_outnet_net12 <= net_net12 or '0' ;
SUB4 : entity Sub_full_adder_1bit port map ( net_net3 , net_net13 ,
        net_net14 , net_net11 , net_net12 ) ;
SUB3 : entity Sub_full_adder_1bit port map ( net_net2 , net_net6 ,
        net_net15 , net_net10 , net_net14 ) ;
SUB2 : entity Sub_full_adder_1bit port map ( net_net1 , net_net5 ,
        net_net16 , net_net9 , net_net15 ) ;
SUB1 : entity Sub_full_adder_1bit port map ( net_net0 , net_net4 ,
        net_net7 , net_net8 , net_net16 ) ;
end architecture ;

entity TestBench is
end entity ;
use work . all ;
architecture Arch_TestBench of TestBench is
    signal netA0 , netA1 , netA2 , netA3 , netR , netB0 ,
        netB1 , netB2 , netB3 , netR0 , netR1 , netR2 ,
        netR3 , netR4 , netR5 , netR6 , netR7 , netCLOCK,
        net_net0 , net_net1 , net_net2 , net_net3 , net_net4 ,
        net_net5 , net_net6 , net_net7 , net_net8 , net_net9 ,
        net_net10 , net_net11 , net_net12 , net_net13 , net_net14 ,
        net_net15 , net_net16 , net_net17 , net_net18 , net_net19 ,
        net_net20 , net_net21 , net_net22 , net_net23 ,
        net_net24 : bit ;

    begin
SUB3 : entity Sub_patgen_4bit port map (netR , net_net0 ,
        netA0, netA1, netA2, netA3);
SUB1 : entity Sub_patgen_4bit port map (netR , netCLOCK,
        netB0, netB1, netB2, netB3);

R: process
begin
        netR <= '1 ' ; wait for 10 ns ;
        netR <= '0 ' ; wait for 2000 ns ;
    end process ;

CLOCK: process
begin
        netCLOCK <= '0 ' ; wait for 10 ns ;
        netCLOCK <= '1 ' ; wait for 10 ns ;
    end process ;

net_net0 <= not netB3 ;
netR0 <= netA0 and netB0 ;
net_net1 <= netA0 and netB1 ;
net_net2 <= netA0 and netB2 ;
net_net3 <= netA0 and netB3 ;
SUB5 : entity Sub_logic_zero port map (net_net4 ) ;
net_net5 <= netA1 and netB0 ;
net_net6 <= netA1 and netB1 ;
net_net7 <= netA1 and netB2 ;
net_net8 <= netA1 and netB3 ;
net_net9 <= netA2 and netB0 ;
net_net10 <= netA2 and netB1 ;
net_net11 <= netA2 and netB2 ;
net_net12 <= netA2 and netB3 ;
SUB4 : entity Sub_full_adder_4bit port map ( net_net1 , net_net2 ,
        net_net3 , net_net4 , net_net5 , net_net6 , net_net7 ,
        net_net8 , net_net4 , netR1 , net_net13 , net_net14 ,
        net_net15 , net_net16 ) ;

SUB6 : entity Sub_full_adder_4bit port map ( net_net13 , net_net14 ,

```

```

net_net15 , net_net16 , net_net9 , net_net10 , net_net11 ,
net_net12 , net_net4 , netR2 , net_net17 , net_net18 ,
net_net19 , net_net20 );
net_net21 <= netA3 and netB0 ;
net_net22 <= netA3 and netB1 ;
net_net23 <= netA3 and netB2 ;
net_net24 <= netA3 and netB3 ;
SUB7 : entity Sub_full_adder_4bit port map ( net_net17 , net_net18 ,
net_net19 , net_net20 , net_net21 , net_net22 ,
net_net23 , net_net24 , net_net4 , netR3 , netR4 ,
netR5 , netR6 , netR7 ) ;
end architecture ;

```

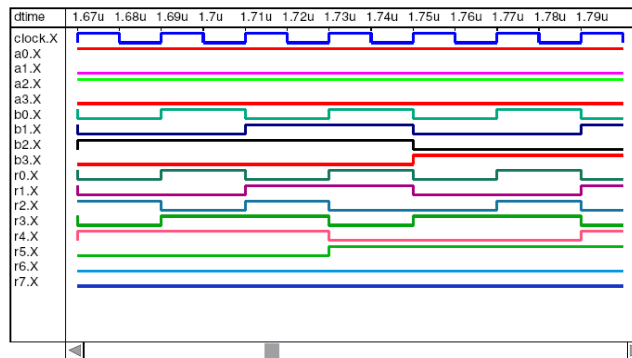


Рис. 4.21. Часть графика вывода TimeList 4 на 4 бита комбинационного цифрового множителя

4.10 Обновление номер два: Сентябрь 2006

Обновление номер два в этом руководстве последовательно сообщает о главных изменениях, которые имели место в Qucs цифровой симуляции с момента первого обновления размещенного на Qucs Web-сайте около трех месяцев назад. За этот период было реализовано некоторое количество важных, и очень критических, расширений. Предыдущие выпуски концентрировались на стабильности фундаментальной базы для цифровой симуляции цепей, используя язык VHDL. Первым переносчиком для представления сигналов цепей были VHDL типы сигналов bit и bit-vector. Следующий выпуск Qucs (версия 0.0.10) и FreeHDL (версия 0.0.3) расширили допустимые типы сигналов включением IEEE std_logic_1164 девяти-уровневой логики, целых и действительных. Читатели оценят эти изменения – результат большого кропотливого труда группы Qucs. Они должны рассматриваться как очень большой прогресс, поскольку не все возможности, предлагаемые реализацией FreeHDL языка VHDL, в настоящий момент доступны через ввод схем в Qucs и текстовый файл VHDL подпрограмм симуляции. Хотя значительное количество тестов имело место, похоже, что программные ошибки выйдут на свет, как только больше пользователей Qucs попробует новые возможности. Если вы обнаружите ошибки, пожалуйста, сообщите о них, разместив замечания на Qucs Web-сайте. Дополнение новых типов сигналов в цифровой симулятор Qucs воздействовало

на все этапы пути симуляции, от ввода схемы до графического вывода и табулирования входных и выходных сигналов. Следовательно, хотя это может показаться совершенно неправильно при первой реализации, необходимые изменения для приспособливания новых типов сигналов есть в отчетах состояния дел по результатам симуляции пакета Qucs. В выпуске 0.0.10 не было сделано попыток добавить новые типы сигналов к части ввода схемы пакета Qucs²⁷. Новая работа по цифровым разделам пакета Qucs была сконцентрирована на (1) усовершенствовании ввода в язык VHDL, используя Qucs с цветовым маркированием VHDL редактор текста²⁸, (2) модификациях к FreeHDL, что позволяет очистить интерфейс между Qucs и FreeHDL, (3) поднять конверсию данных результатов симуляции от формата дампа изменяемых значений FreeHDL до естественного формата Qucs, и (4) главные изменения в подпрограммах сообщения результатов, которые доступны из Qucs диалога иконки диаграмм. Детальный список программных изменений и зафиксированных ошибок может быть найден в лог-файлах изменений Qucs и FreeHDL.

4.10.1 Симуляция кода VHDL с использованием Qucs и FreeHDL.

Диаграмма потока на рис. 4.10 показывает отношение между Qucs и FreeHDL, и последовательность, которая имеет место в процессе симуляции цифровой цепи. Эта потоковая диаграмма, однако, не охватывает деталей этапа конвертирования (1) VHDL кода цепи в машинный код программы симуляции, и (2) выходных результатов симуляции в формат, который может быть нарисован или изображен в табличном виде Qucs. Это проиллюстрировано в диаграмме потоков, представленной на рис. 4.22. Скрипт командного языка управляет каждой стадией qucsdigi в этой последовательности. Базовое понимание процесса использования Qucs и FreeHDL необходимо, если пользователи программного обеспечения способны написать значимый код VHDL и симулировать его, используя два пакета. Код VHDL либо сгенерированный из диаграммы схемы автоматически Qucs, либо при использовании тестового редактора Qucs VHDL. Использование программы ввода схемы было описано в обновлении один этих заметок к руководству. Однако некоторые из читателей, возможно, обнаружат, что включенный в VHDL код, сгенерированный Qucs, ссылается на библиотеки VHDL. Язык VHDL использует библиотеки для предоставления возможностей, которые не специфицированы в базовом определении языка, но широко используются всеми системами обработки языка; две такие библиотеки – это STD и IEEE. Когда симулируются цифровые цепи, базовые знания структуры задачи симуляции, и как это использует VHDL библиотеки – существенно.

²⁷ Дополнительные новые типы сигналов для ввода схемы в Qucs есть в списке to-do.

²⁸ Было устранено некоторое количество ошибок редактора, и теперь пользователи могут сами определить цветовую схему для различных классов зарезервированных слов и типов данных VHDL.

Это подразумевает, что пользователи программного обеспечения Qucs/FreeHDL должны понимать значение того, как система компилирует и симулирует задачу VHDL симуляции цепи. Когда код VHDL симуляции был введен через текстовый редактор VHDL, щелчок по клавише симуляции Qucs запускает командный скрипт (shell script) qucsdigi, выполняющий последовательность, показанную на рис. 4.22²⁹. Программа freehdl-v2cc конвертирует код VHDL в функции C++. Последние затем компилируются вместе с основной функцией C++. Следующий этап в последовательности – это линковка скомпилированного объектного кода с объектным кодом из любой ссылки на элемент в предопределенных VHDL библиотеках для создания выполняемой программы цифровой симуляции. Она же, в свою очередь, запускается Qucs, выводя набор результатов симуляции в формате дампа изменения значений (VCD)³⁰. Окончательно, программа, называемая qucsconv, конвертирует VCD результаты симуляции в формат естественных данных Qucs готовыми для пост-процесса в виде графической или табличной диаграммы Qucs.

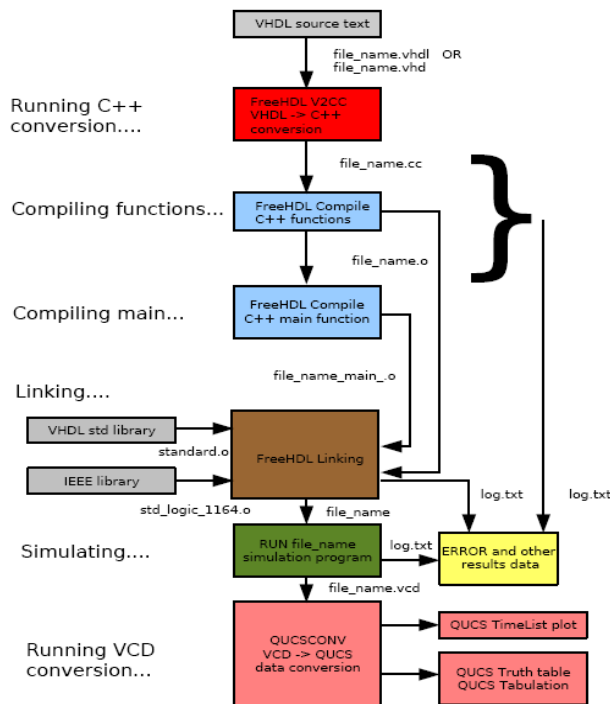


Рис. 4.22. Детальная диаграмма потока, показывающая процесс компиляции и симуляции результатов VHDL кода.

²⁹ Для корректной работы пакета FreeHDL директория, где установлено программное обеспечение, должна быть включена в командный PATH, из которого запускается Qucs.

³⁰ Язык дампа измененных значений был первоначально разработан как формат обмена графикой симуляции для Verilog HDL. Спецификация формата VCD может быть найдена на <http://www.ee.eng.hawaii.edu/msmith/ASICs/HTML/Verilog/LRM/HTML/15/ch15.2.htm>

4.10.2 VHDL predefined packages and libraries.

All VHDL processing systems provide a predefined VHDL package, called standard. This package defines a set of fundamental VHDL data types, for example, bit, character, integer and real. Predefined types, subtypes and other functions in the standard package are stored in a library, called STD. FreeHDL version of the STD library includes an additional VHDL package, called textio, which is used for input and output of signal data from and to files. The second library, called IEEE, defines (1) multi-valued logic signals, defined by nine different coded values, making them convenient for modeling digital circuits, which are composed of components of different technologies, (2) subtypes of logic signals and (3) a large set of useful functions, procedures and overloaded operators. FreeHDL version of the IEEE library consists of the following packages:

1. std_logic_1164
2. numeric_bit
3. math_real
4. numeric_std
5. std_logic_arith
6. std_logic_unsigned
7. vital_timing

Another library is always defined by the VHDL processing system and is called work library. This library supports compiled user VHDL units for object/architecture development.

4.10.3 Structure of VHDL simulation code.

In most basic VHDL forms, simulation code is structured as an object-architecture testbench (test bench), which includes test input signal information³¹. Example of basic format structure:

```
entity testbench is
    entity body statements
end entity testbench ;

architecture behavioural of testbench is
    architecture body statements
end architecture behavioural ;
```

³¹ Test signals are often called test_vectors.

Типы данных VHDL, функции и операторы в стандартном пакете всегда видимы для VHDL test bench кода, и добавлять явные ссылки на их использование не нужно. Однако, если объектно-архитектурный испытательный стенд использует типы данных или другие элементы, определенные в других библиотеках, например, std_logic тип в библиотеке IEEE, тогда ссылка на него должна быть добавлена перед каждой объектно-архитектурной парой, где он используется. Ссылки на библиотеки используются VHDL library и use установками. Пример, показывающий, как эти установки применяются, обрисован в следующем сегменте кода VHDL:

```
library ieee ;
use ieee . std_logic_1164 . all ;

entity testbench is
  entity body statements
end entity testbench ;

architecture behavioural of testbench is
  architecture body statements
end architecture behavioural ;
```

Здесь слова кода VHDL означают, что все элементы в специфицированной библиотеке должны быть доступны для использования в последующих объект/архитектура парах, testbench в примере выше. Если должно быть использовано более одной библиотеки, тогда установка library/use нужна для каждой библиотечной ссылки. Более полная программа симуляции цепи VHDL состоит более, чем из одной пары объект/архитектура. В подобных случаях испытательный стенд цепи, с его сигналами тест-векторов, должен быть последним вводом в программу. Пример более сложной структуры программы VHDL

```
library ieee ;
use ieee . std_logic_1164 . all ;

entity comp1 is
  entity body statements
end entity comp1 ;

architecture behavioural of comp1 is
  architecture body statements
end architecture behavioural ;

library ieee ;
use ieee . std_logic_1164 . all ;

entity comp2 is
  entity body statements
end entity comp2 ;

architecture behavioural of comp2 is
  architecture body statements
end architecture behavioural ;
```

```

library ieee ;
use ieee . std_logic_1164 . all ;

use work . all ;

entity testbench is
  entity body statements
end entity testbench ;

architecture behavioural of testbench is
  architecture body statements
end architecture behavioural ;

```

В процессе конвертации кода VHDL в машинный код программы симуляции каждая пара объект/архитектура перед финальным вводом испытательного стенда, компилируется как отдельная единица разработки и сохраняется в рабочей библиотеке³². На скомпилированные единицы разработки, поддерживаемые в рабочей библиотеке, могут быть ссылки в других моделях объект/архитектура, задаваемые VHDL установкой `use work.all`³³, вставляемой в код симуляции VHDL перед каждой установкой объект/архитектура, где на них ссылаются.

4.10.4 VHDL типы данных.

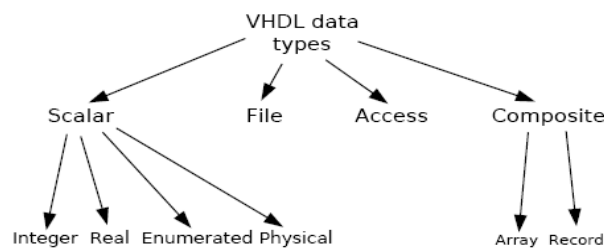


Рис. 4.23. VHDL типы данных

Диаграмма на рис. 4.23 показывает разные типы данных, доступные в языке VHDL. FreeHDL реализует все эти типы данных. В практической симуляции цепей разные типы данных VHDL обычно используются для спецификации (1) сигналов, (2) переменных и (3) констант³⁴. В процессе симуляции Qucs/FreeHDL автоматически

³² Пара объект/архитектура testbench также, конечно, компилируется, но эта единица разработки единственная, которая запускается как выполняемая программа симуляции.

³³ Ссылки на индивидуальные элементы также допустимы вставкой, например, `use work.comb1;` `use work.comb2;` в код VHDL.

³⁴ Тип файла, конечно, разный, в зависимости от того, используется ли он для сохранения тест-векторов,

сохраняют эти значения целых, действительных и перечисляемых бит сигналов, как развитие симуляции во времени. Более того, `bit_vector` и типы сигналов IEEE, включающие `std_logic_vector`, также сохраняются. Сигналы этих типов затем становятся доступны для вывода и табулирования с использованием Timing (временных), Truth table (таблиц истинности), Tabular (табличных) и Cartesian (декартовых) выходных диаграмм. Выделенные элементы в определенных пользователем составных сигналах, те что сохраняются в массивах, например³⁵, могут быть назначены базовым типам сигналов, а затем отображены³⁶. Пример того, как это делается, дан в следующих разделах этих обновленных заметок руководства. Отметьте, что значения переменных и констант не записываются во время симуляции.

4.10.5 Пример VHDL симуляции, использующей сигналы `integer`.

Следующий код VHDL демонстрирует, как данные целого типа могут быть использованы для представления сигналов. В этом примере сигналы A, B изменяют состояние фронта тактовых импульсов `clk`. Код дополнительно проверяет целые сигналы и константы, используя арифметические операторы, определенные в библиотеке STD³⁷. Результаты этой симуляции показаны на рис. 4.24.

```

    A very basic test of data type integer
entity testbench is
end entity testbench ;

architecture behavioural of testbench is
signal A, B, C : integer := 0;
signal clk : bit;
begin
p0 : process is Generate clock signal
begin
    clk <= '0 ' ; wait for 10 ns;
    clk <= '1 ' ; wait for 10 ns;
end process p0 ;

p1 : process (clk) is
begin
    if ( clk ' event and clk = '1 ' ) then
        A <=A+ 1;
        B <=B+ 2;

```

данных компонент, как содержимое ROM, и выходных результатов симуляции.

³⁵ Пожалуйста, заметьте, что эти типы сигналов, базируемые на составных типах записей, будут, возможно, вызывать сбой цикла симуляции Qucs, работа с этими типами данных была добавлена в список to-do.

³⁶ Qucs/FreeHDL также автоматически собирает данные графики для составных сигналов, базируемых на массивах бит и IEEE типах сигналов. Однако в случае больших массивов нужно при выводе или табулировании делать это непосредственно, поскольку содержимое массива выводится каждый раз при отображении сигнала.

³⁷ Спецификация FreeHDL библиотеки STD может быть найдена в текстовом файле `freehdl-0.0.3/std/standard.vhdl`.

```

        end if ;
    end process p1 ;
    C <=A+B ;
end architecture behavioural ;

```

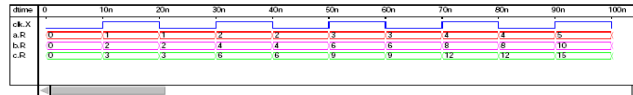


Рис. 4.24. Выходные результаты простого примера test bench, использующего сигналы integer

4.10.6 Многозначная логика.

Хотя сигналы типов bit и bit-vector широко применяются при моделировании цифровых систем, одним из самых слабых их мест является факт, что трудно представлять системы сигнальных шин, используя только кодирование сигналов логическим «0» и логической «1». Более того, схемы, где обнаруживаются соединения сигналов в шину, часто приводят к сбою симуляции. Пакет IEEE std_logic_1164 устраняет эти ограничения посредством введения системы многозначной логики, которая определяет девять разных логических значений для представления типов сигналов и силы сигналов. Не только проблема шинных соединений разрешается с помощью логических функций, но система многозначной логики позволяет также конструировать устройства из разных производственных технологий, симулируемые одновременно, обеспечивая отражение процессом симуляции реальной практики разработки схем. Следующие два примера симуляции вводят систему девяти логических значений и демонстрируют ее использование в разработке цифровой шинной системы. Сигналы типа real также введены для показа их представления в Qucs. Приведенное ниже – это код VHDL для базовой симуляции, которая генерирует набор IEEE std_logic, integer и real сигналов. Рис. 4.25 иллюстрирует, как Qucs Timing диаграмма отображает разные типы сигналов. Секция табличных результатов также дана на рис. 4.26.

```

library ieee ;
use ieee . std_logic_1164 . all ;

entity testbench is
end entity testbench ;

architecture behavioural of testbench is
    signal clk : bit;
    signal bv1 : bit_vector (8 downto 0);
    signal std11 : std_logic_vector (8 downto 0);
    signal INT1 : integer := 0;
    signal INT2 : integer := 99;
    signal R1 : real := 0.33;
    signal R2 : real := 99.0;
    signal R3 : real := 0.0;
    signal R4 : real := 0.0;
begin

```

```

p0 : process is
    begin
        clk <= '0 ' ; wait for 10 ns;
        clk <= '1 ' ; wait for 10 ns;
    end process p0 ;

p1 : process (clk) is
    variable v1 : integer := 0;
    begin
        if ( clk ' event and clk = '1') then
            v1 := v1+1;
            case v1 is
                when 1=> bvl <= "000000000"; stdl1 <= "000000000";
                when 2=> bvl <= "000000001"; stdl1 <= "000000001";
                when 3=> bvl <= "000000011"; stdl1 <= "00000001X";
                when 4=> bvl <= "000000111"; stdl1 <= "0000001XZ";
                when 5=> bvl <= "000001111"; stdl1 <= "000001XZU";
                when 6=> bvl <= "000011111"; stdl1 <= "00001XZUW";
                when 7=> bvl <= "000111111"; stdl1 <= "0001XZUWL";
                when 8=> bvl <= "001111111"; stdl1 <= "001XZUWLH";
                when 9=> bvl <= "111111111"; stdl1 <= "01XZUWLH ";
                when others => v1 := 0;
            end case ;
        end if ;
    end process p1 ;
p3 : process (clk) is
    begin
        if ( clk ' event and clk ='1') then
            INT1 <= INT1 + 1;
            INT2 <= INT2 20;
        end if ;

        if (INT1 >= 9) then
            INT1 <= 0;
            INT2 <= 99;
        end if ;
    end process p3 ;

p4 : process (clk) is
    Variable V2 : real;
    begin
        if ( clk ' event and clk ='1') then
            R1 <= R1 + 1.0;
            R2 <= R2 20.0;
            R3 <= R1#R2 ;
            R4 <= R2/(R1+0.0001);
        end if ;

        if (R1 >= 20.0) then
            R1 <= 0.0;
            R2 <= 99.0;
        end if ;
    end process p4 ;
end architecture behavioural ;

```

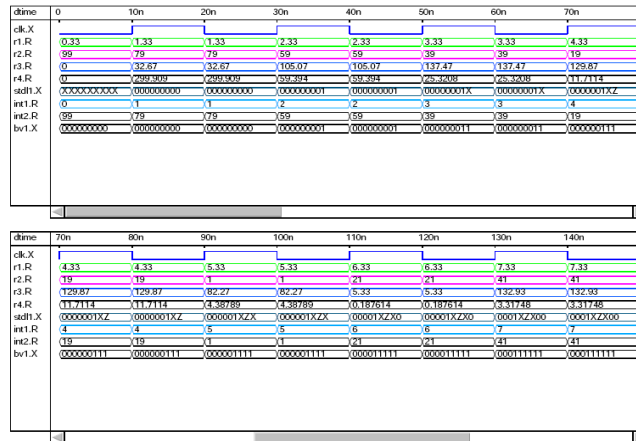



Рис. 4.25. Выходные результаты, иллюстрирующие TimeList представление сигналов

VCD вывод графики (waveform) заменяет стандартную кодировку цифровых сигналов на четыре логических уровня. Это «0», «1», «Z» (высокий импеданс) и «X» (неизвестный). Таблица 4.7 перечисляет, как девять `ieee.std_logic` уровней сигнала представлены в формате VCD. Пока VCD стандарт проверяется, пакет Qucs/FreeHDL ограничивает отображение выходных данных симуляции базовыми «0», «1», «Z» и «X» сигналами. Следующий пример показывает, как IEEE `std_logic` тип сигнала может быть использован для симуляции шинной логики. Демонстрация была сделана простой, чтобы сократить код VHDL. Фрагмент кода симулирует два три-стабильных буфера, которые передают выходы на шинные драйверы, чьи выходы соединены в общую сигнальную шину. Шинные драйверы обеспечивают разделение выходов три-стабильных буферов перед комбинированием на общей линии шины. Это позволяет выходным сигналам буферов и комбинированному сигналу вычерчиваться отдельно. Результирующие графики ясно показывают решение функции `std_logic` в операции, см. рис. 4.27. Обратите внимание

VHDL signal levels VCD

- '0' Форсированный логический 0 '0'
- '1' Форсированная логическая 1 '1'
- 'X' Форсированный неизвестный 'X'
- 'Z' Высокий импеданс 'Z'
- 'U' Неинициализированный 'X'
- 'W' Слабый неизвестный '0'
- 'L' Слабый логический 0 '0'
- 'H' Слабая логическая 1 '1'
- '-' Неважно 'X'

Таблица 4.7. IEEE многозначная логика и VCD представление

на эффект 7 ns задержки на рисунке графика и использование VHDL общей установки для задания инверсного значения задержки устройства.

```
Demonstration of a simple bus structure using
the IEEE std_logic data type.
library ieee ;
use ieee . std_logic_1164 . all ;

entity buf is
generic (delay : time := 0 ns );
port (in1 , control : in std_logic ;
      out1 : out std_logic );
end entity buf ;
architecture behavioural of buf is
begin
p0 : process (in1 , control ) is
begin
    if ( control = '1 ' ) then out1 <= in1 after delay ;
    else out1 <= 'Z' ;

        end if ;
    end process p0 ;
end architecture behavioural ;

library ieee ;
use ieee . std_logic_1164 . all ;

entity invert is
generic (delay : time := 0 ns );
port ( in1 : in std_logic ;
      out1 : out std_logic);
end entity invert ;

architecture behavioural of invert is
begin
    out1 <= not in1 after delay ;
end architecture behavioural ;

library ieee ;
use ieee . std_logic_1164 . all ;

entity buf2 is
port ( in1 : in std_logic ;
      out1 : out std_logic);
end entity buf2 ;

architecture dataflow of buf2 is
begin
    out1 <= in1 ;
end architecture dataflow ;

library ieee ;
use ieee . std_logic_1164 . all ;

use work . all ;
```

```

entity testbench is
end entity testbench ;

architecture structural of testbench is
signal data_in_1, data_in_2 : std_logic;
signal data_out_1 , data_out_2 : std_logic ;
signal data_control , control_buf1 : std_logic ;
signal result : std_logic ;

begin
p0 : process is
    begin
        data_in_1 <= '0 ' ; wait for 5 ns;
        data_in_1 <= '1 ' ; wait for 5 ns;
    end process p0 ;

data_in_2 <= not data_in_1;

p1 : process is
    begin
        data_control <= '1 ' ; wait for 40 ns;
        data_control <= '0 ' ; wait for 40 ns;
    end process p1 ;

c1g1 : entity buf port map( in1 => data_in_1, control => data_control,
    out1 => data_out_1 );
c1g2 : entity invert generic map ( delay => 7 ns)
    port map( in1 => data_control , out1 => control_buf1 );
c1g3 : entity buf port map( in1 => data_in_2, control => control_buf1,
    out1 => data_out_2 );
c1g4 : entity buf2 port map( in1 => data_out_1, out1 => result );
c1g5 : entity buf2 port map( in1 => data_out_2, out1 => result );

end architecture structural ;

```

dtime	clk.X	int1.R	int2.R	r1.R	r2.R	r3.R	r4.R	bv1.X	std1.X
0	0	99	0.33	99	0	0	0	00000000	XXXXXXXXXX
1e-8	1	79	1.33	79	32.7	300	300	00000000	00000000
2e-8	0	79	1.33	79	32.7	300	300	00000000	00000000
3e-8	1	59	2.33	59	105	59.4	59.4	00000001	00000001
4e-8	0	59	2.33	59	105	59.4	59.4	00000001	00000001
5e-8	1	39	3.33	39	137	25.3	25.3	00000011	0000001X
6e-8	0	39	3.33	39	137	25.3	25.3	00000011	0000001X
7e-8	1	19	4.33	19	130	11.7	11.7	00000111	000001XZ
8e-8	0	19	4.33	19	130	11.7	11.7	00000111	000001XZ
9e-8	1	5	5.33	-1	82.3	4.39	4.39	00001111	00001XZX
1e-7	0	5	5.33	-1	82.3	4.39	4.39	00001111	00001XZX
1.1e-7	1	6	6.33	-21	6.33	-21	-5.33	00001111	00001XZX0
1.2e-7	0	6	6.33	-21	6.33	-21	-5.33	00001111	00001XZX0
1.3e-7	1	7	7.33	-41	7.33	-41	-133	00011111	0001XZX00
1.4e-7	0	7	7.33	-41	7.33	-41	-133	00011111	0001XZX00
1.5e-7	1	8	8.33	-61	8.33	-61	-301	00111111	001XZX001
1.6e-7	0	8	8.33	-61	8.33	-61	-301	00111111	001XZX001
1.7e-7	1	9	9.33	-81	9.33	-81	-508	11111111	01XZX001X
1.8e-7	0	9	9.33	-81	9.33	-81	-508	11111111	01XZX001X
1.9e-7	1	79	10.33	-101	10.33	-101	-756	11111111	01XZX001X

clk.X	int1.R	int2.R	r1.R	r2.R	r3.R	r4.R	bv1.X	std1.X
00000	0	99	0.33	99	0	0	00000000	XXXXXXXXXX
00001	1	79	1.33	79	32.67	299.909	00000000	00000000
00010	0	79	1.33	79	32.67	299.909	00000000	00000000
00011	1	59	2.33	59	105.07	59.394	00000001	00000001
00100	0	59	2.33	59	105.07	59.394	00000001	00000001
00101	1	39	3.33	39	137.47	25.3208	00000011	0000001X
00110	0	39	3.33	39	137.47	25.3208	00000011	0000001X
00111	1	19	4.33	19	129.87	11.7114	00000111	000001XZ
01000	0	19	4.33	19	129.87	11.7114	00000111	000001XZ
01001	1	5	5.33	1	82.27	4.38789	00000111	000001XZX
01010	0	5	5.33	1	82.27	4.38789	00000111	000001XZX
01011	1	6	6.33	21	5.33	0.187614	00001111	00001XZX0
01100	0	6	6.33	21	5.33	0.187614	00001111	00001XZX0
01101	1	7	7.33	41	132.93	3.31748	00011111	0001XZX00
01110	0	7	7.33	41	132.93	3.31748	00011111	0001XZX00
01111	1	8	8.33	61	300.53	5.59338	00111111	001XZX001
10000	0	8	8.33	61	300.53	5.59338	00111111	001XZX001
10001	1	9	9.33	81	508.13	7.32284	11111111	01XZX001X
10010	0	9	9.33	81	508.13	7.32284	11111111	01XZX001X
10011	1	79	10.33	101	755.73	8.68158	11111111	01XZX001X
10100	0	79	10.33	101	755.73	8.68158	11111111	01XZX001X

Рис. 4.26. Выходные результаты, иллюстрирующие табличное представление сигналов

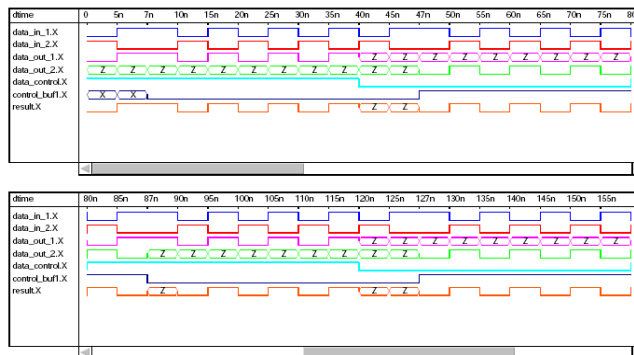


Рис. 4.27. Графика сигналов для простого примера шины

4.10.7 Запуск отладчика VHDL кода симуляции.

Язык VHDL имеет встроенные возможности, позволяющие отлаживать код VHDL во время симуляции. В этом разделе представлены зарезервированные слова утверждений, сообщений и предупреждений, и они используются как отладочная помощь, объясняющая попутно детали примера разработки. В предыдущем

обновлении цифрового руководства была представлена структурированная разработка 4х-битового цифрового перемножителя, как пример применения трассировки цифрового симулятора ввода схем в Qucs. Следующий пример расширяет предыдущий умножитель до 16 бит. Однако структурный уровень большего умножителя становится очень детальным и его разработка может быть склонна к ошибкам. Для демонстрации мощности VHDL 16 битовый перемножитель был реконструирован на функциональном уровне. Блок-диаграмма его симулирующего испытательного стенда дана на рис. 4.28: вначале тактовый генератор стробирует устройство генератора данных, которое генерирует последовательность целых чисел. Это все конвертируется в 16 bit_vectors и прикладывается к устройству 16-битового перемножителя, как входы x и y; потом 16-битовый умножитель при обнаружении изменений на входах x или y конвертирует эти сигналы из 16 bit_vectors в integer, перемножает их и, наконец, конвертирует целый результат в 32 bit_vector выход Res_bit. Хотя стандартная библиотека STD определяет арифметические операции для целых, она не предоставляет функции для конвертации целых в бит-векторы или обратных операций. Следующий VHDL листинг дает полную программу испытательного стенда симуляции для 16-битового перемножителя, включая необходимые функции преобразования данных. VHDL отладочный код или код сообщений использует зарезервированные слова утверждений, отчетов и предостережений, добавленных к коду архитектуры data_generator и functional_multiplier. В процессе симуляции эти тестовые строки и время симуляции, когда активируются, записываются в Qucs log.txt файл, давая запись трассировки активности симуляции. В случаях обнаружения ошибок на уровне предостерегающего сбоя, симуляция прерывается. FreeHDL позволяет VHDL сообщать установки без сопровождающих утверждающих установок³⁸. Типичная диаграмма Timing для этой разработки показана на рис. 4.29.

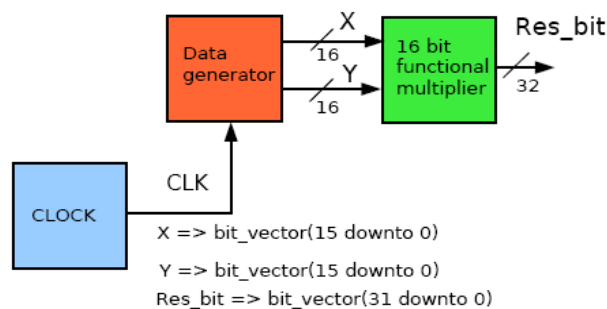


Рис. 4.28. Блок-диаграмма 16-битового функционального перемножителя

³⁸ Одно из изменений в 1993 ревизии IEEE VHDL 1076-1987 стандарта было разрешение установок сообщений без предшествующей подтверждающей клаузулы утверждения. FreeHDL пытается подчиниться ревизии 1993.

16 bit digital multiplier .
Simulation trace using assert , report and severity statements.

```
entity clock is
port ( clk : out bit );
end entity clock ;

architecture behavioural of clock is
begin
p0 : process is
begin
clk <= '0' ; wait for 10 ns;
clk <= '1' ; wait for 10 ns;
end process p0 ;
end architecture behavioural ;

entity data_generator is
port ( clk : in bit ;
x, y : out bit_vector (15 downto 0));
end entity data_generator ;

architecture behavioural of data_generator is
type mem_array_16 is array (1 to 8) of integer ;
signal count : integer := 0;

function integer_to_vector_16(int no : integer) return bit_vector is
variable ni : integer ;
variable return_value : bit_vector (15 downto 0);
begin
assert ( ni < 0)
report "Function integer_to_vector_32 : integer number must be >= 0"
severity failure ;
ni := int no;
for i in return_value ' Reverse_Range loop
if ( (ni mod 2 )=1 ) then return_value(i) := '1';
else return_value(i) := '0';
end if ;
ni := ni/2;
end loop ;
return return_value ;
end integer_to_vector_16 ;

begin
p1 : process (clk) is
variable xi : mem_array_16 := (1, 2, 3, 4, 5, 6, 7, 8);
variable yi : mem_array_16 := (2, 4, 6, 8, 10, 12, 14, 16);
variable xh, yh : integer ;
variable counti : integer ;
begin
counti := count+1;
if ( counti > 8) then
counti := 1;
end if ;
xh := xi(counti);
yh := yi(counti);
x <= integer_to_vector_16(xh);
y <= integer_to_vector_16(yh);
count <= counti ;
report "In process p1.data_generator.";
end process p1 ;
end architecture behavioural ;
```

```

entity functional_multiplier is
port ( x, y: in bit_vector (15 downto 0);
       res_bit : out bit_vector (31 downto 0));
end entity functional_multiplier ;

architecture behavioural of functional_multiplier is

function vector_to_integer (v1 : bit_vector ) return integer is
variable return_value : integer :=0;
alias v2 : bit_vector (v1 ' length 1 downto 0) is v1 ;
begin
  for i in v2 ' high downto 1 loop
    if (v2(i) = '1') then
      return_value := (return_value+1)#2;
    else
      return_value := return_value * 2;
    end if ;
  end loop ;
  if v2(0) = '1' then return_value:= return_value+1;
  end if ;
return return_value ;
end vector_to_integer ;

function integer_to_vector_32(int no : integer) return bit_vector is
variable ni : integer ;
variable value : bit_vector (31 downto 0);
begin
  assert ( ni < 0)
  report "Function integer_to_vector_32 : integer number must be >= 0"
  severity failure ;
  ni := int no;
  for i in 0 to 31 loop
    if ( (ni mod 2 )=1 ) then value(i) := '1';
    else value(i) := '0';
    end if ;
    if ni > 0 then ni := ni/2;
    else ni := (ni 1)/2;
    end if ;
  end loop ;
  return value ;
end integer_to_vector_32 ;

begin
  p0 : process (x,y) is
    variable xi , yi , prod_mult : integer ;
    begin
      xi := vector_to_integer(x);
      yi := vector_to_integer(y);
      prod_mult := xi * yi ;
      res_bit <= integer_to_vector_32(prod_mult);
      report "In process p1.functional multiplier";
    end process p0 ;
end architecture behavioural ;

entity test2_vhdl_1 is
end entity test2_vhdl_1 ;

```

```

architecture behavioural of test2_vhdl_1 is
  signal clk : bit;
  signal x, y : bit_vector (15 downto 0);
  signal res_bit : bit_vector (31 downto 0);

begin
  d1 : entity work. clock port map ( clk );
  d2 : entity work.data_generator port map(clk , x, y);
  d3 : entity work. functional_multiplier port map ( x, y,
res_bit );
end architecture behavioural ;

```

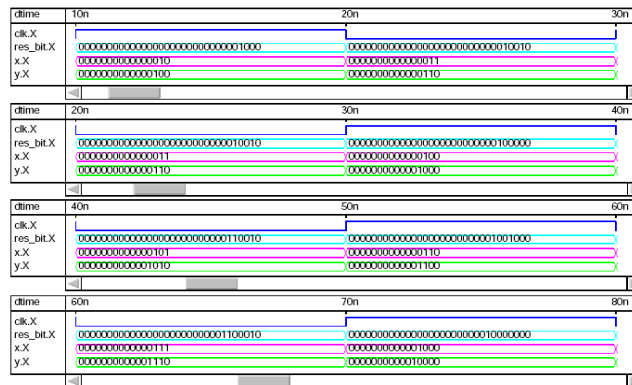


Рис. 4.29. Типичная временная диаграмма для 16-битового функционального умножителя

Более развитые выходные сообщения отладки или таблицы результатов могут быть записаны в файл сообщений Qucs `log.txt` с использованием поддержки predeterminedных данных подпрограммами в STD библиотеке пакета `textio`³⁹. Этот пакет содержит функции для чтения и записи STD типов данных из и в файлы⁴⁰. Следующий сегмент кода VHDL показывает, как простая таблица результатов может быть записана в файл `log.txt`. Таблица результатов показана в таблице 4.8.

```

Test textio package.

library STD;
use STD. textio . all ;

entity Qucs_write_test is
end entity Qucs_write_test ;

```

³⁹ Спецификация для FreeHDL пакета `textio` может быть найдена в текстовом файле `freehdl-0.0.3/std/textio.vhdl`.

⁴⁰ VHDL допускает чтение и запись данных в стандартные потоки ввода и вывода и в определенные пользователем файлы. В настоящее время только запись данных в файл `log.txt` и чтение данных из определенных пользователем файлов были проверены. Пожалуйста, отметьте, что использование пакета `textio` – это весьма рискованная возможность программного обеспечения Qucs/FreeHDL и, возможно, не свободная от ошибок.


```

architecture behavioural of Qucs_write_test is
begin
write_test : process is
    variable input_line , output_line : line ;
    variable int1 : integer := 10 ;
    begin
        write ( output_line , string ' (" ") ) ;
        write_line ( output , output_line ) ;
        write (output_line , string ' (" String > log.txt ") ) ;
        write_line ( output , output_line ) ;

        test_L1 : for i c in 1 to 5 loop
            int1 := int1 + 1 ;
            write (output_line , string ' ( " int1 = ") ) ;
            write (output_line , int1) ;
            write (output_line , string ' ("int1 ^2 = ") ) ;
            write (output_line , int1 * int1) ;
            write_line ( output , output_line ) ;
        end loop test_L1 ;
    report "Finished test for loop . " ;
    end process write_test ;
end architecture behavioural ;

```

Output:

```

-----
Starting new simulation on Thu 24. Aug 2006 at 13:10:56
running C++ conversion... done.
compiling functions... done.
compiling main... done.
linking... done.
simulating...
Output to STD output -> log.txt
int1 = 11 int1^2 = 121
int1 = 12 int1^2 = 144
int1 = 13 int1^2 = 169
int1 = 14 int1^2 = 196
int1 = 15 int1^2 = 225
0 fs + 0d: NOTE: Finished test for loop.
running VCD conversion... done.
Simulation ended on Thu 24. Aug 2006 at 13:10:57
Ready.
Errors:
-----

```

Таблица 4.8: Log.txt файл, показывающий табличный вывод результатов

4.10.8 Тестирование цифровых систем с использованием `test_vector`, сохраненных на диске.

В стремлении с моей стороны рассмотреть все новые возможности, представленные в предыдущих секциях этого обновления, заключительный пример, демонстрирующий то, как тест-векторы, сохраненные на диске в виде текстового файла, могут читаться программой симуляции, а затем передаваться на входы цифровой системы при тестировании. Код этого примера дан в следующем листинге:

```
Testing digital circuits using test_vectors  
stored as a text file on disk.
```

```
entity comb1 is  
port (a, b, c, d : in bit ;  
      y: out bit);  
end entity comb1 ;  
  
architecture dataflow of comb1 is  
begin  
    y <= (a nand b) or (c and d);  
end architecture dataflow ;  
  
library STD;  
use STD. textio . all ;  
  
entity testbench is  
end entity testbench ;  
  
architecture behavioural of testbench is  
signal clock : bit ;  
signal v1, v2, v3, v4, y_out : bit;  
type array_list is array (1 to 20) of bit ;  
signal v1sd , v2sd , v3sd , v4sd : array_list ;  
  
Procedure store_data ( variable number : out integer ) is  
variable d1, d2, d3, d4 : bit;  
variable in_line , out_line : line ;  
variable i : integer ;  
variable my_string : string(1 to 20):= cr & "Constrained string" & cr;  
file infile : text open read_mode is "/mnt/hda2/qucs  
0.0.10f/test1_data";  
  
  begin  
    report my_string ;  
    i := 1;  
    while not ( endfile(infile) ) loop  
      readline ( infile , in_line );  
      read(in_line , d4);  
      read(in_line ,d3);  
      read(in_line ,d2);  
      read(in_line ,d1);  
      v1sd( i ) <= d1;  
      v2sd( i ) <= d2;  
      v3sd( i ) <= d3;  
      v4sd( i ) <= d4;
```

```

        report "In file read loop.";
        i := i + 1;
        if (i > 20) then exit ;
        end if ;
        number:= i ;
    end loop ;
end procedure store_data ;

begin
p0 : process is Generate a clock signal .
    begin
        clock <= '1 ' ; wait for 10 ns;
        clock <= '0 ' ; wait for 10 ns;
    end process p0 ;

g0 : entity work . comb1 port map (v1, v2, v3, v4, y out);

p1 : process is Read test_vectors from disk and
    apply data to circuit inputs .
variable no_reads : integer ;
variable in_line , out_line : line ;
    begin
        store_data(no_reads);
        write(out_line ,string "("count = ") ");
        write(out_line , no_reads1);
        writeline (output , out_line );

        for k in 1 to no_reads1 loop Count up .
            wait until ( clock ' event and clock ='1 ');
            v1 <= v1sd(k);
            v2 <= v2sd(k);
            v3 <= v3sd(k);
            v4 <= v4sd(k);
            write(out_line , string "("Time = "),left , 8 );
            write(out_line , now, right , 10);
            write(out_line , string "("test_vectors > "),right,20);
            write(out_line , v4, left , 2 );
            write(out_line , v3, left , 2 );
            write(out_line , v2, left , 2);
            write(out_line , v1, left , 2);
            write(out_line , string "("k = "), right , 10 );
            write(out_line ,k);
            writeline (output , out_line );
            wait until ( clock ' event and clock ='0 ');
        end loop ;

        for k in no_reads1 downto 1 loop Count down .
            wait until ( clock ' event and clock ='1 ');
            v1 <= v1sd(k);
            v2 <= v2sd(k);
            v3 <= v3sd(k);
            v4 <= v4sd(k);
            write(out_line , string "("Time = "),left , 8 );
            write(out_line , now, right , 10);
            write(out_line , string "("test_vectors > "),right,20);
            write(out_line , v4, left , 2 );
            write(out_line , v3, left , 2 );
            write(out_line , v2, left , 2);
            write(out_line , v1, left , 2);
            write(out_line , string "("k = "), right , 10 );
            write(out_line ,k);
            writeline (output , out_line );
        end loop ;
    end process p1 ;
end ;

```

```

        wait until ( clock ' event and clock = '0 ' );
        end loop ;
    wait ;
end process p1 ;
end architecture behavioural ;

```

Хотя листинг выше относительно короткий, тщательное изучение его содержания должно позволить читателю идентифицировать множество новых возможностей Qucs/FreeHDL, представленных ранее. Кроме того, в некоторых разделах код иллюстрирует дополнительные возможности, которые подойдут пользователям Qucs/FreeHDL уже хорошо знакомым с языком VHDL. Они перечислены ниже:

- VHDL код симулирует представление простой цепи комбинационной логики, названной `comb1`: есть четыре входа (a, b, c, d) типа `bit` и один выход (y) типа `bit`⁴¹.
- Симулируемый `testbench` состоит из двух процессов: `process p0` генерирует тактовые сигналы с периодом в 20 ns; `process p1` вводит тестовые данные, содержащиеся в файле `test1_data`⁴², и сохраняется в четырех сигнальных массивах (`v1sd`, `v2sd`, `v3sd` и `v4sd`), используя эти данные для входов цепи при тестировании по фронту тактовых импульсов. Заметьте, что `process p1` выполняется только однажды за счет установки `wait` в конце.
- Реализация компонента `comb1` включена в `testbench` архитектуру. Отметьте использование VHDL `entity` `work.comb1` конструкции – это альтернатива для `use work.all`;
- Поддержка данных `test_vector` в файле `test_data` прочитывается процедурой `store_data`, возвращающей число линий данных читаемое в переменную. Файловая поддержка, включающая чтение данных с диска, гарантирована с предопределенными программами в пакете `textio`.
- Первая установка сообщения в процедуре `store_data` записывает строку `my_string` в файл `log.txt`. `My_string` – это пример VHDL ограниченного строкового типа, состоящего из непечатаемых управляющих символов⁴³, связанных с печатаемыми символами.
- Два цикла применяются в `process p1` для передачи сигнала `test_vectors` на вход `comb1`: первый цикл считает вверх от одного, а второй вниз от числа строк `test_vectors`, читаемых процедурой `store_data`, эффективно генерируя `test_vectors` путем, схожим со счетчиком генератора шаблона. Отметьте, что эти данные сигнала применяются к цепи при тестировании по фронту тактового сигнала, и что примененная последовательность вектора

⁴¹ Тип `bit` был выбран для этого примера вместо одного из сигналов типа IEEE, поскольку пакет `textio` не поддерживает IEEE типы многозначной логики.

⁴² Я использовал версию Knoppix Linux/GNU операционной системы для всей работы по проекту Qucs. Абсолютное положение файла тестовых данных будет зависеть от того, где были установлены Qucs и FreeHDL, и расположения рабочих файлов.

⁴³ Тип символов в стандартном списке пакета с двух-буквенным кодом используется VHDL для представления непечатаемых управляющих символов.

сигнала действительно поднимается до фантазии VHDL программиста.

- Установка `write` в `process p1` для циклов демонстрирует форматированную версию установки `write` в `textio`. Это великолепно помогает в установках таблиц результатов. Таблица 4.9 дает типичное содержание `log.txt` для тестовой симуляции `comb1`.
- В `process p1` сигналы `v1`, `v2`, `v3` и `v4` назначаются индексированным значениям из (тип `array_list`) `v1sd`, `v2sd`, `v3sd` и `v4sd` сигналов. В процессе симуляции Qucs/FreeHDL сохраняет значения сигнала как продвижение симуляции. Следовательно, теоретически возможно отображать и стандартный, и композитный типы сигнала. Типичный графический вывод сигналов `v1`, `v2`, `v3`, `v4` и `y_out` дан на рис. 4.30. Рис. 4.31 иллюстрирует графический вывод композитных сигналов `v1sd`, `v2sd`, `v3sd` и `v4sd`. На рис. 4.31 каждая группа нарисована по мягким изменениям тактовых фронтов идентичных групп значений; каждый вертикальный набор бит представлен значениями бит для единственной строки в файле `test1_data`. Сравните отображенные на рис. 4.31 значения с содержанием файла `test1_data`, показанным на рис. 4.32. Как отмечено раньше, некоторый присмотр нужен при черчении или табулировании композитных сигналов, особенно, когда размер массива большой; массив размером около 50 становится трудным для вычерчивания на экране с нормальным разрешением. В подобных случаях лучше отрезать часть массива и назначить требуемые значения сигналу, который может быть легче отображен.

Output :

```
Starting new simulation on Fri 25 . Aug 2006 at 14 : 35 : 48
running C++ conversion ... done .
compiling functions ... done .
compiling main ... done .
linking ... done .
simulating ...
0 fs +0d : NOTE:
Constrained string
0 fs +0d : NOTE: In file read loop .
.
0 fs +0d : NOTE: In file read loop .
count = 16
Time = 0 ns test_vectors > 0000 k = 1
Time = 20 ns test_vectors > 0000 k = 2
Time = 40 ns test_vectors > 0001 k = 3
Time = 60 ns test_vectors > 0010 k = 4
.
Time = 200 ns test_vectors > 1001 k = 11
Time = 220 ns test_vectors > 1010 k = 12
Time = 240 ns test_vectors > 1011 k = 13
Time = 260 ns test_vectors > 1100 k = 14
Time = 280 ns test_vectors > 1101 k = 15
Time = 300 ns test_vectors > 1110 k = 16
Time = 320 ns test_vectors > 1111 k = 16
Time = 340 ns test_vectors > 1111 k = 15
Time = 360 ns test_vectors > 1110 k = 14
Time = 380 ns test_vectors > 1101 k = 13
```

```

Time = 400 ns test_vectors > 1100 k = 12
.
Time = 560 ns test_vectors > 0100 k = 4
Time = 580 ns test_vectors > 0011 k = 3
running VCD conversion ... done .
Simulation ended on Fri 25 . Aug 2006 at 14 : 35 : 50
Ready .
Errors :

```

Таблица 4.9. Редактированная версия табличного вывода результатов, записанных в файл log.txt

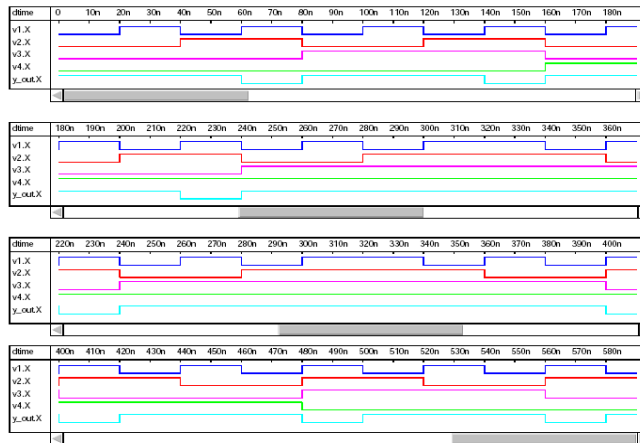


Рис. 4.30. Типичная временная диаграмма для comb1 симуляции

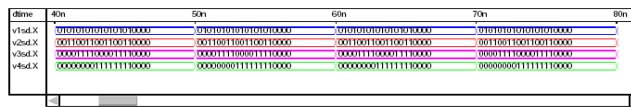


Рис. 4.31. Типичная временная диаграмма для композитных сигналов v1sd, v2sd, v3sd и v4sd

```

0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0
1 0 1 1
1 1 0 0
1 1 0 1
1 1 1 0
1 1 1 1

```

Рис. 4.32. Comb1 симуляции test_vectors

4.11 Окончание заметок

Qucs 0.0.8 добавил цифровую симуляцию к выразительному списку возможностей уже доступных в пакете Qucs. Выпуск 0.0.8 сделал значительный шаг вперед в развитии проекта Qucs. Тот факт, что в первой версии были ошибки цифровой симуляции, не вызывает удивления из-за сложности программного обеспечения. Выпуск 0.0.9 проделал большой путь по устранению большинства этих ошибок. Он также добавил некоторое количество новых возможностей, наиболее примечательными стали новый редактор VHDL и автоматическая генерация символов компонент из созданного вручную кода модели VHDL. Qucs 0.0.10 и FreeHDL 0.0.3 добавили целый ряд новых возможностей в программное обеспечение, особенно важным стало использование IEEE `std_logic_1164` пакета и программ файловой поддержки в пакете `textio`. Мои благодарности Michael Margraf и Stefan Jahn за их поддержку во весь период моего тестирования Qucs VHDL цифровой симуляции и последовавшего написания этих заметок.

5 Область переходных процессов моделей триггеров для симуляции смешанного режима

5.1 Введение

Одной из первых целей проекта Qucs стала разработка универсального симулятора схем, который позволял бы исследовать представление цепи от постоянного тока (DC) до микроволновых частот (microwave). Добавление анализа представления в цифровой области сделало Qucs действительно универсальным симулятором. Qucs 0.0.8 был первым выпуском, включающим цифровую симуляцию. Qucs цифровая симуляция сконцентрировалась на VHDL, используя FreeHDL VHDL компилятор для генерации машинного кода симуляции проверяемых цепей. Выпуск 0.0.8 включал встроенные модели для базовых цифровых вентилях и некоторое количество общих последовательных триггеров (Fir-flop). Модели вентилях Qucs могли использоваться и в цифровой симуляции, и в симуляции переходных процессов. К сожалению, модели триггеров допускают только цифровую симуляцию. Текущая версия моделей триггеров Qucs использует VHDL и не предоставляет временную область моделей для симуляции переходных процессов. Это важное упущение, которое ограничивает возможности симулятора Qucs в смешанном режиме. Смешанный режим симуляции – это термин обычно применяемый к описанию симуляции цепей, которые содержат и аналоговые и цифровые компоненты. В реальном мире цепи, конечно, не подразделяются на аккуратные коробочки с метками: аналоговые, S-параметр, цифровые или любые другие физические области. Так что довольно важно, чтобы Qucs моделирование устройств разрабатывалось с поддержкой для цепей, содержащих ряд разных аналоговых и цифровых компонент, симулируемых одновременно. Обычно такие системы симулируются во временной области, используя симуляцию переходных процессов больших сигналов. Представляемые данные существуют и в аналоговых, и в цифровых выражениях в табличной или графической форме. Эти консультативные заметки представляют модели симуляции переходных процессов для триггеров, базирующиеся на структурированных цифровых цепях, описывают их использование и показывают некоторые примеры симуляции, происходящие от практических схем.

5.2 Защелки и триггеры

Последовательные цифровые устройства, в основном известные как триггеры (SR, D, JK и T типов), могут быть разбиты на три главные группы.

- Защелки: простые или стробируемые.
- Переключаемые импульсами триггеры: устройства ведущий-ведомый с или без блокирования данных.
- Переключаемые фронтом триггеры: с переключением передним или задним фронтом.

Поскольку скорость электронных систем увеличивается, популярность переключаемых фронтом триггеров выше, чем более медленных устройств ведущий-ведомый (master slave). Сегодня большинство ИС разработок базируется на устройствах D типа, переключаемых фронтом, тогда как прежде это были устройства JK, типа ведущий-ведомый. Наша озабоченность в данный момент касается развития согласованного набора моделей, которые позволяют общим триггерам моделироваться аккуратно и надежно во временной области переходных процессов. В порядке поддержания этих тенденций были выбраны простые стробируемые D-типа или переключаемые фронтом устройства, как фундаментальные строительные блоки для Qucs моделей области переходных процессов. Использование базовых концепций булевой логики прямо указывает на то, что модели JK и T переключаемых фронтом триггеров могут быть производными от моделей D-триггеров.

5.3 Стробируемые D-защелки

Диаграмма цепи для стробируемой D-защелки, собранной из двух-входовых вентилях *nand*, показана на рис. 5.1⁴⁴. Выходы Q и не Q (QB на рис. 5.1) образованы двумя пересекающимися связанными вентилями *nand*, соединенными как базовая SR *nand* защелка. Рис. 5.2 показывает представление характеристик для этой цепи. Они были получены с использованием простой тестовой конфигурации, показанной на рис. 5.3. Цифровые сигналы логической единицы представлены как 1V, а сигналы логического нуля как 0V в области анализа переходных процессов. Задержки распространения через различные вентили цепи могут быть установлены изменением времени задержки для каждого вентиля. Кроссовое соединение вентилях зачастую приводит к сбою симуляции, из-за того, что DC анализ перестает сходиться к стабильному решению в начальный момент симуляции переходного процесса. Есть приближение, помогающее форсировать стабильность DC решения, установить Q и QB в известные состояния, скажем логический 0 и логическую 1, при начале симуляции. В цепях подобных базовой стробируемой D-защелке, показанной на рис. 5.1, где входы асинхронной установки и сброса не включены, это невозможно. Однако триггер со входами асинхронной установки и сброса позволяет, чтобы состояние триггера было определено в заданный момент симуляции. В примерах, которые последуют, везде, где возможно, состояние защелки или триггера установлено при старте симуляции. В большинстве примеров цепей задержки распространения устройств также были

⁴⁴ Richard S. Sandige, Modern Digital Design, 1990, McGraw-Hill International Editions.

установлены в нуль. Это, следовательно, приводит к тому, что большинство графических выводов показывают функциональные данные иначе, чем аккуратные временные характеристики. Во многих смешанных симуляциях цифровые элементы, присутствующие в разработке, зачастую моделируются как функциональные устройства, чья первая задача – генерировать сигналы нужные для функционирования остальной части схемы. Более детальное освещение эффектов симуляции переходных процессов, включающих временные задержки, появится в следующих разделах этих заметок.

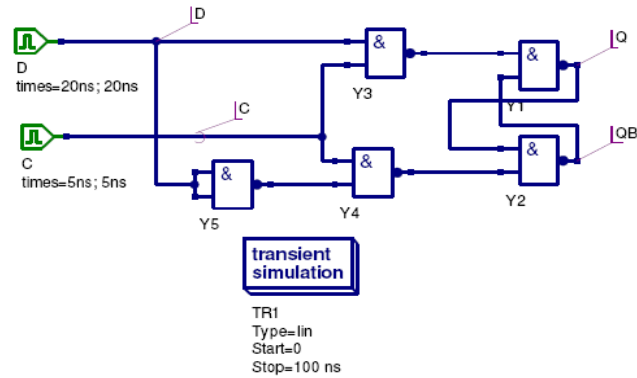


Рис. 5.1. Стробуемая D-зашелка с цифровыми генераторами сигналов D и C

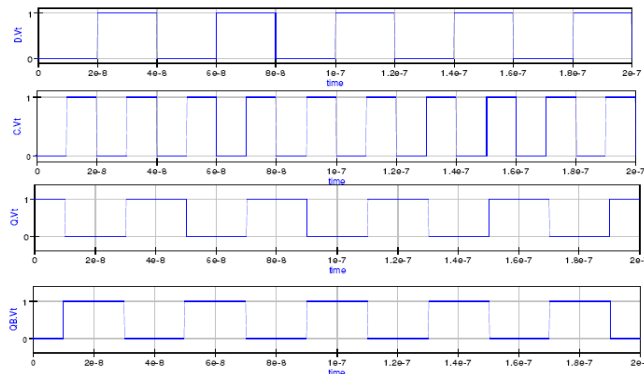


Рис. 5.2. Графический вывод (waveform) симуляции стробуемой D-зашелки

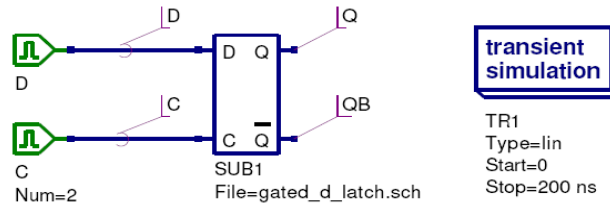


Рис. 5.3. Тестовая схема стробуемой D-зашелки

5.4 Тактируемый фронтом D-триггер

Схема для тактируемого положительным фронтом D-триггера показана на рис. 5.4⁴⁵. Асинхронные входы установки (SET) и сброса (RESET) позволяют установить выходы Q и не Q (QB на рис. 5.4) триггера в определенное состояние при старте симуляции. Вентили pand (НЕ-И), формирующие каждую из перекрестно включенных SR-зашелок, имеют времена задержки установленными в 0 ns. Управляемое фронтом D устройство – это строительный блок и для JK, и для T типов триггеров. Типичный набор тестовых результатов симуляции переходных процессов для модели D-триггера проиллюстрирован на рис. 5.5. Они были получены с использованием базовой тестовой конфигурации, показанной на рис. 5.6.

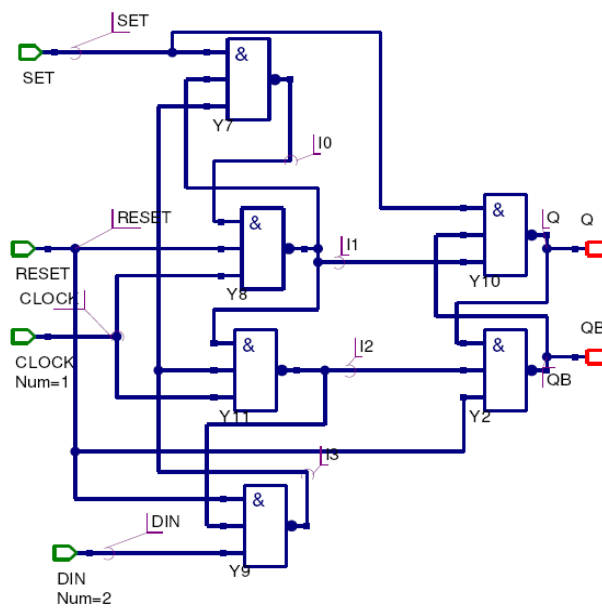


Рис. 5.4. Схема переключаемого положительным фронтом D-триггера

⁴⁵ David A. Hodges and Horace G. Jackson, Analysis and Design of Digital Integrated Circuits, 1998, Second edition, McGraw-Hill Book Company.

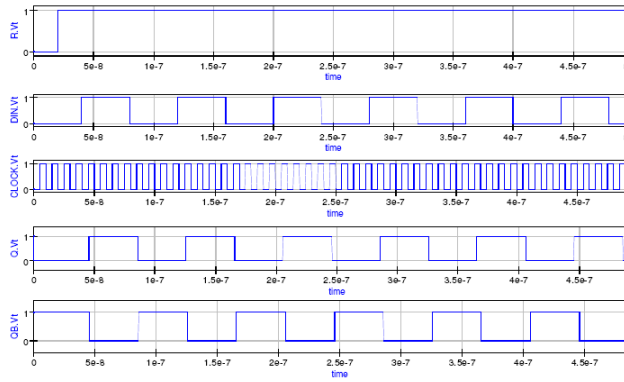


Рис. 5.5. Графический вывод анализа переходного процесса (transient) для схемы рис. 5.6

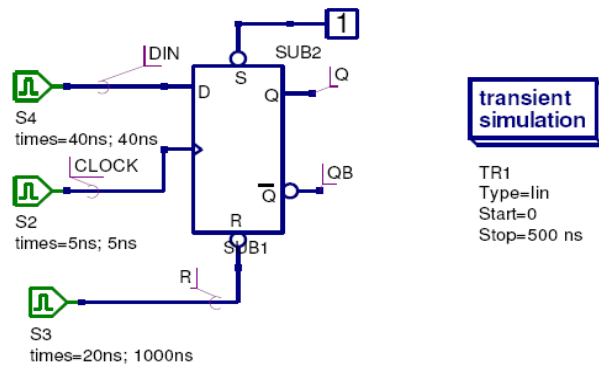


Рис. 5.6. Проверочная схема D-триггера

5.5 Переключаемый фронтом JK-триггер

Переключаемый передним фронтом JK-триггер может быть построен с использованием переключаемого положительным фронтом D-триггера и внешней логики⁴⁶. Внешняя логика генерирует требуемое характеристиками JK-триггера уравнение, задаваемое как

$$Q^+ = J \cdot \bar{Q} + \bar{K} \cdot Q$$

Где Q , не- Q , J и не- K – это значения текущего состояния сигналов устройства, а Q^+ значение следующего состояния Q после прихода переднего фронта устройства тактовых импульсов. Схема для переключаемого фронтом триггера показана на рис. 5.7, а типичный набор тестовых диаграмм на рис. 5.8. Они были получены с использованием схемы тестирования, показанной на рис. 5.9.

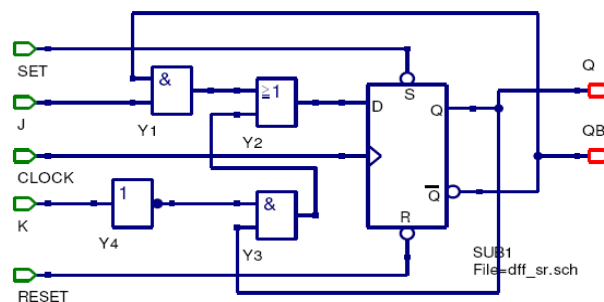


Рис. 5.7. Схема переключаемого передним фронтом JK-триггера

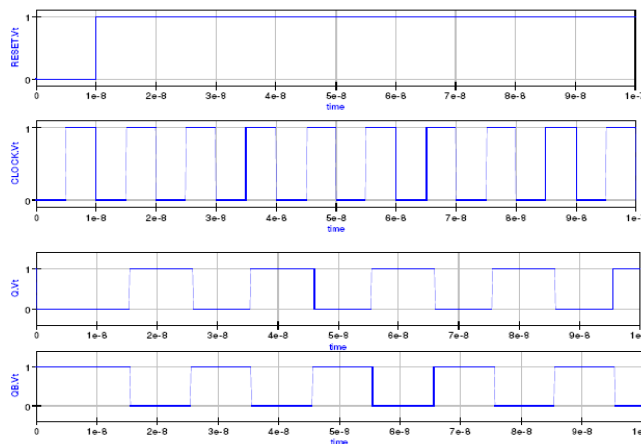


Рис. 5.8. Графический вывод симуляции переходного процесса для схемы рис. 5.9

⁴⁶ M. Morris Mano and Charles R Kime, Logic and Computer Design Fundamentals, 2004, Third edition, Pearson Education International, Prentice Hall

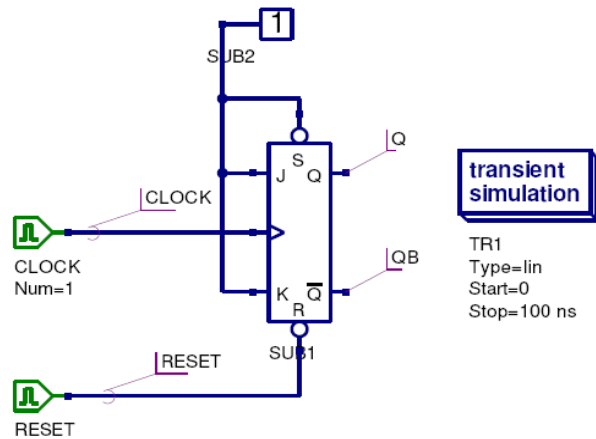


Рис. 5.9. Проверочная схема JK-триггера, показывающая режим переключения

5.6 Переключаемый фронтом T-триггер

Характеристическое уравнение для переключаемого фронтом триггера⁴⁷

$$Q^+ = T \oplus Q$$

где символы имеют то же значение, что для JK-триггера. Схема, графический вывод и схема проверки для этого триггера даны на рис. 5.10 – 5.12.

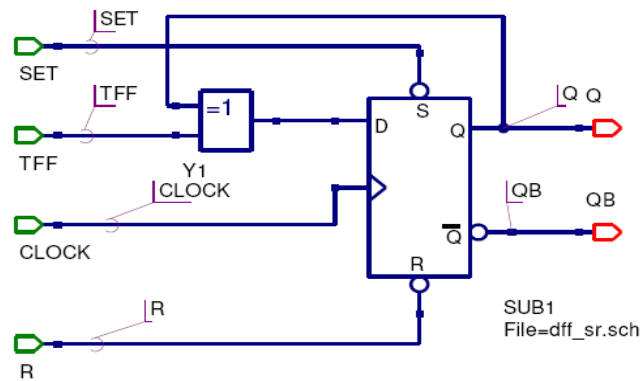


Рис 5.10. Схема переключаемого положительным фронтом T-триггера

⁴⁷ См. сноску 45.

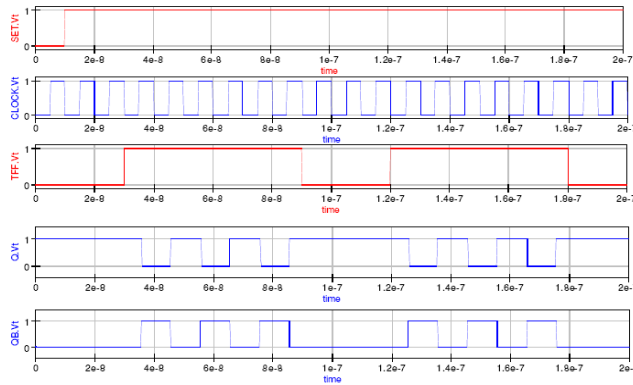


Рис. 5.11. Графический вывод для схемы рис. 5.12

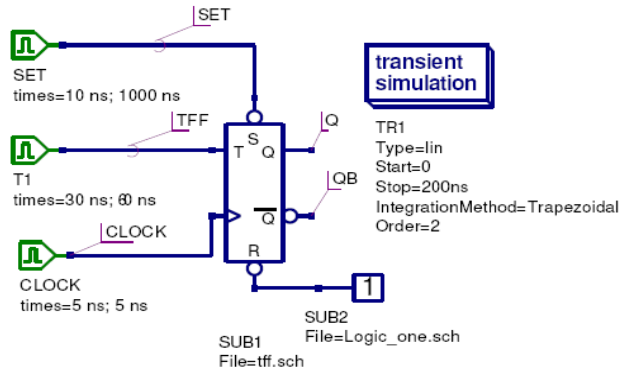


Рис. 5.12. Схема тестирования Т-триггера

5.7 Два примера цифровых цепей

- Синхронный BCD счетчик с наращиванием счета. Рис. 5.13 показывает синхронный счетчик с наращиванием BCD собранный из четырех тактируемых фронтом JK-триггеров, соединенных как переключаемый триггер. Графики входного сигнала и соответствующих выходов счетчика Q0, Q1, Q2 и Q3 показаны на рис. 5.14. Эти результаты симуляции были получены с использованием предопределенного интегрального метода трапеций второго порядка.

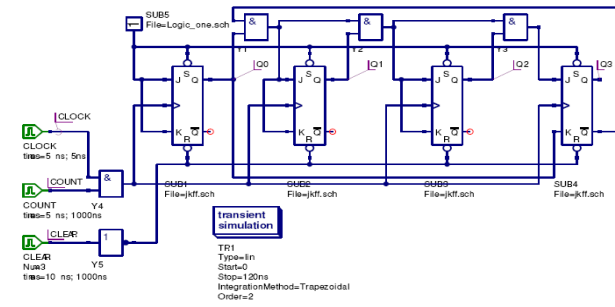


Рис. 5.13. Синхронный прямого счета BCD счетчик

При старте симуляции сигнал CLEAR устанавливается в логическую 1, что заставляет счетчик сброситься к 0000. Аналогично сигнал COUNT должен быть установлен в 1, чтобы счетчик мог начать счет. Заметьте, что счетчик считает от 0 до 9, а затем сбрасывается в 0.

- Простая машина состояний: рис. 5.15 показывает простую последовательную машину состояний со входом X и выходами Y1 и Y2. Выходы синхронизированы с тактовым входом. Уравнения состояния для этого примера

$$J = \bar{X}, K = 1, Y_1 = \bar{Q}_0 \cdot \bar{X}, Y_2 = Q_0$$

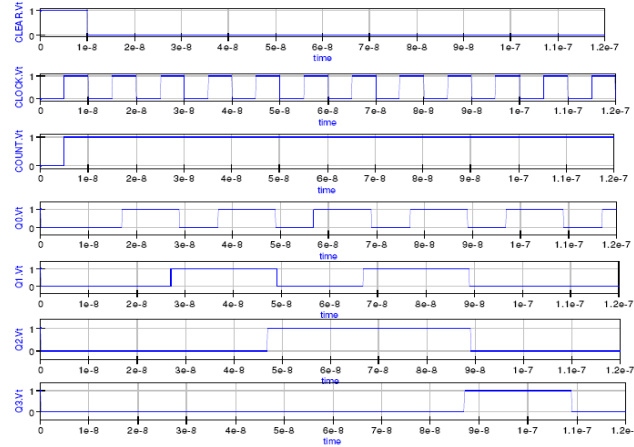


Рис. 5.14. Transient waveforms (графический вывод) для схемы рис. 5.13

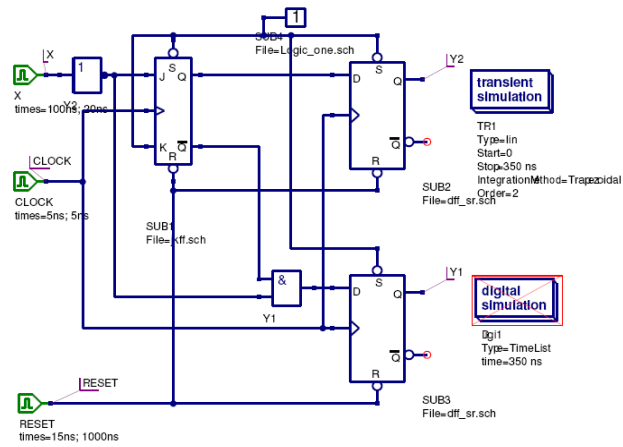


Рис. 5.15. Простая машина состояний

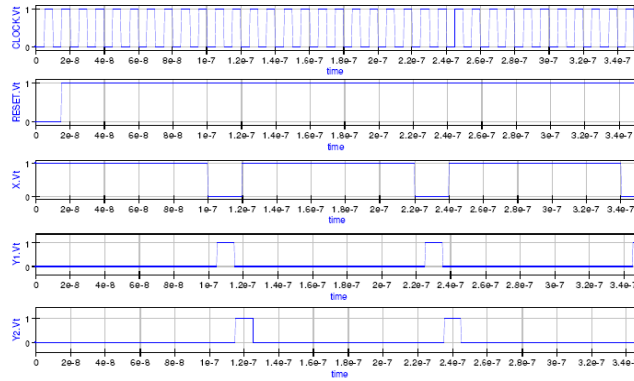


Рис. 5.16. Графический вывод для схемы, показанной на рис. 5.15

5.8 VHDL код для моделей триггеров в области переходных процессов

Хотя первоочередная задача развития моделей триггеров в области переходных процессов ставилась в рамках симуляции смешанных цепей, это ничего не стоило, поскольку модели были сконструированы из примитивов вентилей Qucs, используя приближение снизу-вверх. Qucs также может использовать модели для цифровой симуляции. Кроме того, предоставляя возможность симулировать схемы без содержания каких-либо чисто аналоговых компонент, Qucs будет генерировать VHDL испытательный стенд модели, который описывает функцию и тестовую последовательность для симулируемых схем. Показанное на рис. 5.17 – это временной (timelist) цифровой графический вывод для синхронного прямого счетчика BCD, представленного в предыдущем разделе этих заметок. Листинг 5.1 показывает код VHDL, сгенерированный Qucs для примера синхронного прямого счета BCD счетчика.

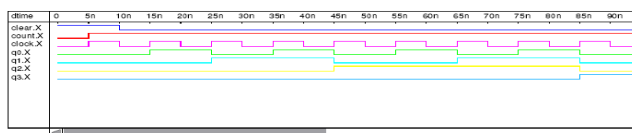


Рис. 5.17. Цифровой график TimeList для схемы рис. 5.13

```
Qucs 0.0.9
/mnt/hda2/Digital_Subcircuits_prj/Sync_BCD_counter.sch

entity Sub_Logic_one is
port (nnout_L1 : out bit );
end entity ;
use work . all ;
architecture Arch_Sub_Logic_one of Sub_Logic_one is
signal gnd ,
L1 : bit;
begin
    gnd <= '0 ' ;
    L1 <= not gnd ;
    nnout_L1 <= L1 or '0 ' ;
end architecture ;

entity Sub_dff_sr is
port (CLOCK: in bit ;
      DIN : in bit ;
      nnout_Q : out bit ;
      nnout_QB : out bit ;
      RESET: in bit ;
      SET: in bit );
end entity ;
use work . all ;
architecture Arch_Sub_dff_sr of Sub_dff_sr is
signal I0 ,
I2 ,
```

```

I1 ,
I3 ,
QB,
Q : bit;
begin
    nnout_QB <= QB or '0 ' ;
    nnout_Q <=Q or '0 ' ;
    I1 <= not (CLOCK and RESET and I0 );
    I3 <= not (DIN and I2 and RESET) ;
    QB <= not (RESET and I2 and Q);
    Q <= not ( I1 and QB and SET ) ;
    I0 <= not ( I3 and I1 and SET ) ;
    I2 <= not (CLOCK and I3 and I1 );
end architecture ;

entity Sub_jkff is
port ( nnnet6 : in bit ;
      nnnet1 : in bit ;
      nnnet8 : in bit ;
      nnout_nnet3 : out bit ;
      nnout_nnet7 : out bit ;
      nnnet9 : in bit ;
      nnnet10 : in bit );
end entity ;

use work . all ;
architecture Arch_Sub_jkff of Sub_jkff is
signal nnnet0 ,
      nnnet2 ,
      nnnet4 ,
      nnnet5 ,
      nnnet7 ,
      nnnet3 : bit ;
begin
    nnnet0 <= not nnnet1 ;
    nnnet2 <= nnnet3 and nnnet0 ;
    nnnet4 <= nnnet2 or nnnet5 ;
    nnnet5 <= nnnet6 and nnnet7 ;
    nnout_nnet7 <= nnnet7 or '0 ' ;
    nnout_nnet3 <= nnnet3 or '0 ' ;
SUB1 : entity Sub_dff_sr port map (nnnet8 , nnnet4 , nnnet3 ,
    nnnet7 , nnnet10 , nnnet9 );
end architecture ;

entity TestBench is
end entity ;
use work . all ;

architecture Arch_TestBench of TestBench is
signal CLEAR,
      COUNT,
      CLOCK,
      Q3,
      Q0,
      Q1,
      Q2,
      nnnet0 ,
      nnnet1 ,
      nnnet2 ,
      nnnet3 ,
      nnnet4 ,
      nnnet5 ,
      nnnet6 ,
      nnnet7 ,

```

```

        nnet8 ,
        nnet9 : bit ;
    begin
SUB5 : entity Sub_Logic_one port map (nnet0 );
        nnet1 <= Q0 and nnet2 ;
        nnet3 <= Q1 and nnet1 ;
        nnet4 <= Q2 and nnet3 ;
SUB2 : entity Sub_jkff port map (nnet1 , nnet1 , nnet5 ,
        Q1, nnet6 , nnet0 , nnet7 );
SUB3 : entity Sub_jkff port map (nnet3 , nnet3 , nnet5 ,
        Q2, nnet8 , nnet0 , nnet7 );
SUB1 : entity Sub_jkff port map (nnet0 , nnet0 , nnet5 ,
        Q0, nnet9 , nnet0 , nnet7 );
        nnet5 <= COUNT and CLOCK;
        nnet7 <= not CLEAR;

CLEAR: process
    begin
        CLEAR <= '1 ' ; wait for 10 ns;
        CLEAR <= '0 ' ; wait for 1000 ns ;
    end process ;

COUNT: process
    begin
        COUNT <= '0 ' ; wait for 5 ns;
        COUNT <= '1 ' ; wait for 1000 ns ;
    end process ;

CLOCK: process
    begin
        CLOCK <= '0 ' ; wait for 5 ns;
        CLOCK <= '1 ' ; wait for 5 ns;
    end process ;

SUB4 : entity Sub_jkff port map (nnet4 , Q0, nnet5 ,
        Q3, nnet2 , nnet0 , nnet7 );
end architecture ;

```

Листинг 5.1. Код VHDL испытательного стенда (testbench) для схемы рис. 5.13

5.9 Генерация библиотеки смешанных цифровых компонент

Возможности проекта Qucs предлагают пользователям простой и удобный подход для разработки библиотек компонентов, которые связываются общей темой. В этих заметках – это модели цифровых компонент для симуляции переходных процессов (transient simulation). Для формирования библиотеки создайте новую папку, в точке дисковой файловой системы, к которой пользователи имеют доступ на чтение/запись, дав ей подходящее имя, например

```
fli_ flop_models_tran_sim_prj
```

Затем поместите в новую папку библиотеки копию каждого файла схемы для моделей триггеров, представленных в этих заметках. Это:

```
dff_sr . sch , jkff . sch, tff . sch , и gated_d_latch . sch
```

Копия схемы для установок узлов к логической единице также потребуется

```
logic_one.sch
```

Эти модели затем становятся доступны для использования в любых проектах, с которыми работают пользователи. Они могут копироваться в такие проекты с использованием клавиши меню «Добавить файлы в проект...», находящейся в выпадающем меню Qucs «Проект». Аналогично, любая новая модель, разработанная как часть проекта, может быть добавлена в библиотеку и использована вновь в будущем.

5.10 Время задержки распространения цифровых компонент и числовая стабильность симуляции переходных процессов

Симуляция переходных процессов в основном много медленнее, чем цифровая симуляция, использующая VHDL сгенерированный машинный код. Модели симуляции переходных процессов для больших сигналов триггеров и других последовательных цифровых устройств предназначены для использования в симуляции схем в смешанном режиме, а не для использования в симуляции чисто цифровых схем. Интересный, и в действительности очень важный вопрос, относится к эффективности и точности алгоритмов числового анализа, применяемого в интегральных подпрограммах, которые являются центром симуляции переходных процессов цепей. Qucs позволяет пользователям выбрать алгоритм, который они хотят применить для симуляции переходных процессов. Доступные алгоритмы – это трапецеидальный, алгоритмы Euler, Gear и Adams Moulton. В каждом случае порядок алгоритма может быть задан от 1 до 6. Второй порядок трапецеидального интегрального алгоритма используется Qucs по умолчанию для симуляции переходных процессов. Для проверки, какой из этих алгоритмов дает наибольшую эффективность по времени при симуляции переходных процессов цифровых цепей, включающих триггеры, был использован счетчик BCD, показанный на рис. 5.13 в качестве тестового с повторной симуляцией при использовании разных интегральных подпрограмм и порядков алгоритмов. Результаты тестов сведены в таблицу 5.1. Очень небольшая разница была обнаружена между схемами, где перекрестно соединенные вентили оба имели нулевую задержку распространения и случаем, когда один вентиль имел задержку 0.5 ns, а второй нулевую.

Один очевидный факт обнаруживается в данных таблицы 5.1, именно, что интегральная подпрограмма высшего порядка Adams Moulton, похоже, быстрее, чем трапецеидальный алгоритм по умолчанию.

Порядок	Trapezoidal	Euler	Gear	Adams Moulton
1	1	1.62	1.65	1.62
2	1	1.62	0.44	1
4	1	1.62	1.28	0.39
6	1	1.62	0.28	0.18

Таблица 5.1. Относительные времена симуляции для цепи, показанной на рис. 5.13

Порядок	Число отбравок	Среднее время шага
1	1470	5.17737e-12
2	1750	9.4585e-12
4	1454	2.866e-11
6	61	5.76646e-11

Таблица 5.2. Число отбравок и среднее время шага данных для алгоритма Adams Moulton

Это подтверждается средним временем шага и количеством отбракованных точек данных, выведенных Qucs в конце симуляции. Таблица 5.2 содержит перечень этих данных для алгоритма Adams Moulton из таблицы 5.1.

Таблица 5.2 указывает на увеличение среднего времени шага и эффективное уменьшение числа отбравок решений симуляции, как на возможное основание для уменьшения времени в симуляции переходного процесса при использовании интегральных подпрограмм Adams Moulton высшего порядка. Однако другие факторы могут оказывать влияние на выбор интегральной подпрограммы. Порою скорость не единственный критерий, имеющий значение при симуляции больших сложных цепей. Рассмотрим следующий случай (цепь, показанная на рис. 5.13, с интегральным анализом переходных процессов Adams Moulton шестого порядка); установка задержки одного из вентилях в 1 ns, а другого в 0 ns, в каждой из RS защелок переключаемого фронтом D-триггера производит графический вывод, показанный на рис. 5.18. Совершенно ясно, решение неправильно, что указывает на возможную числовую нестабильность, вызванную выбором интегральной подпрограммы.

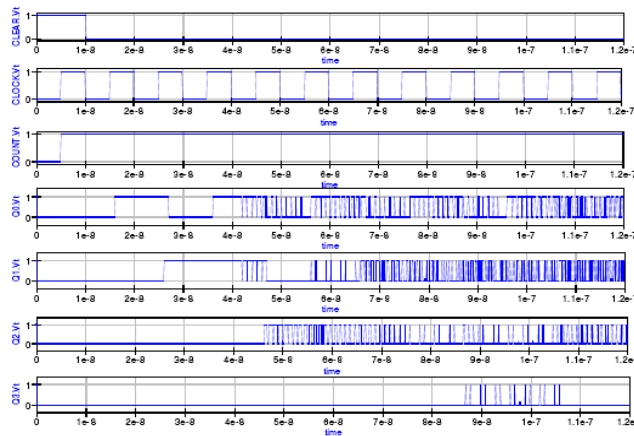


Рис. 5.18. Графика цифрового TimeList для цепи, показанной на рис. 5.13

5.11 Пример симуляции смешанного режима

Симуляция смешанного режима включает симуляцию цепей, которые содержат электронные устройства и цепи из разных физических областей. Наиболее очевидна смесь из аналоговых и цифровых компонент. Qucs был разработан до точки, где он может поддерживать подобный тип цепей, заданный моделями устройств, охватывающими разные физические области. В будущем такие цепи уподобятся встроенным компонентам из разных областей, включая, например, цифровые компоненты обработки сигналов (DSP) и, возможно, нано-механические устройства. Много-доменная симуляция добавляет дополнительную сложность в процесс симуляции, обычно отсутствующую при одно-доменной симуляции. Каждая область (домен) обычно представляет сигнальные данные со специфическими для данной области атрибутами – напряжение и ток для аналоговых величин, булевы «1» и «0» для цифровых сигналов и числа с плавающей точкой для DSP (цифровая обработка сигналов). Следовательно, сигналы проходящие от одного домена к другому, должны быть преобразованы из одного формата в другой. Эти преобразованные элементы, часто называемые узловыми мостами (node-bridge), и формируют сущностную часть процесса симуляции смешанного режима. Три примера, которые приведены в этом разделе заметок, были выбраны для иллюстрации некоторых базовых идей, сосредоточенных вокруг смешанной симуляции цепей с аналоговыми и цифровыми компонентами, и чтобы показать, как Qucs обходится с симуляцией данного типа. В последнем разделе был сделан акцент на важность правильного выбора интегральной подпрограммы при симуляции схем во временной области. Смешанные цепи часто включаются в набор компонент, демонстрирующих весьма различные временные значения. Этим создаются проблемы числовой стабильности даже более критичные, чем работа симулятора. С определенными числовыми интегральными подпрограммами, подобно трапецеидальной, возникает числовая нестабильность, если временной шаг симуляции становится много больше, чем наименьшая временная константа в цепи. Следовательно, чтобы выполнить успешное завершение симуляции, временной шаг интеграции должен быть уменьшен, что в свою очередь делает предельное время симуляции многократно увеличенным. Неявный алгоритм Gear⁴⁸ не страдает от этих проблем, и это естественный выбор для цепей с компонентами, которые имеют большую разницу во временных константах.

- Пример 1: Аналоговый график, производимый цифровыми устройствами с выходным узловым мостом. Цепь на рис. 5.19 показывает источник аналогового напряжения производящий цифровой инвертор с элементом узловой мост, обрабатывающим выходной сигнал инвертора. Входной сигнал – это синусоидальное напряжение с амплитудой 1V. Выходной сигнал

⁴⁸ Алгоритм интеграции Gear – это мощный метод решения жестких систем дифференциальных уравнений, см. Donald A. Calahan, Computer Aided Network Design, Revised edition, 1972, McGraw-Hill.

инвертора, V1 на рис. 5.19, имеет асимметричную форму, поскольку пороговая точка для инвертора установлена в 0.5V, на полпути между двумя логическими уровнями. Элемент узлового моста базируется на управляемом напряжением источнике, где приращение устройства и задержка времени могут программироваться. В этом первом примере приращение было установлено в 5, а задержка времени в 0.5 ns. Рис. 5.20 иллюстрирует графический вывод TimeList симуляции для этого примера смешанной цепи. Узловой мост, показанный на рис. 5.19 – это базовое устройство. Более того, могут устанавливаться значение таких дополнительных параметров, как время нарастания и спада. Следующий пример демонстрирует использование активного узлового моста.

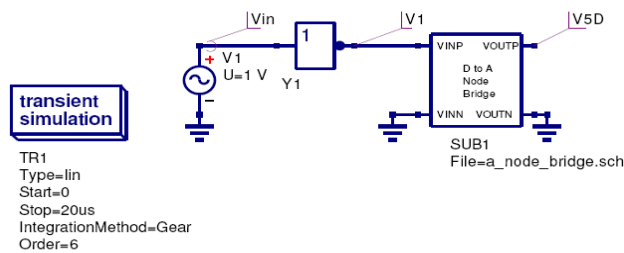


Рис. 5.19. Аналоговый вывод, производимый цифровым устройством с выходным узловым мостом

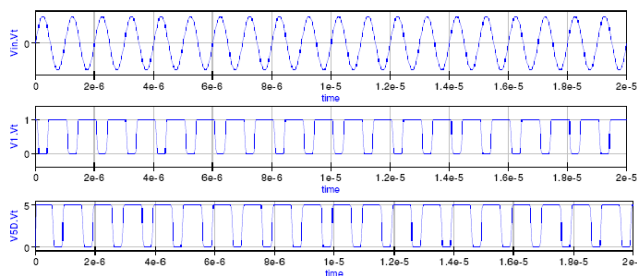


Рис. 5.20. Цифровой графический TimeList для цепи рис. 5.19

- Пример 2: Импульсы, производимые цифровым инвертором с активным узловым мостом. Иллюстрация рис. 5.21 – это цепь похожая на предыдущий пример. На рис. 5.21 генератор импульсов ведет цифровой инвертор. Выходной сигнал инвертора проходит через активный узловой мост, произведенный из базового ВJT переключаемого усилителя. Выходной график для этой цепи показан на рис. 5.22. Заметьте, что времена переднего и заднего фронтов определяются усилителем узлового моста, и что амплитуда результирующего аналогового сигнала установлена в 5V.

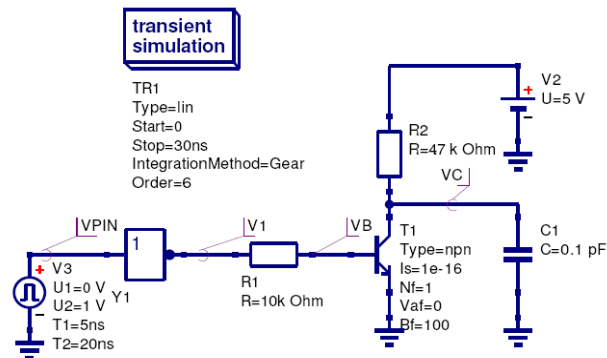


Рис. 5.21. Управляемый импульсами цифровой инвертор с активным узловым мостом

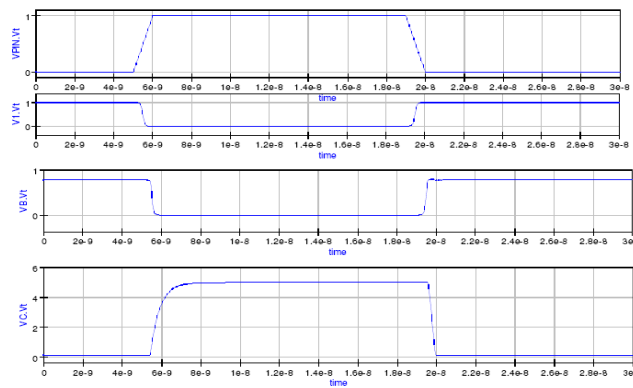


Рис. 5.22. Графические выходы цифрового TimeList для цепи на рис. 5.21

- Пример 3: Более сложный пример симуляции смешанного режима. Цепь, показанная на рис. 5.23, собрала вместе ряд идей, очерченных в этих заметках. 4X-битовый сигнал генерируется простым асинхронным двоичным счетчиком, работающим с цифровым тактовым сигналом. Выход счетчика преобразуется в аналоговую область с помощью простого узлового моста (node-bridge) типа, приведенного в примере 1. 4-х битовый взвешенный DAC конвертирует сигналы узлового моста в окончательный аналоговый выходной сигнал. Операционный усилитель DAC моделирован как блок усиления с одно-полюсной частотной характеристикой и ограничением выходного DC напряжения. Выходные графики для этого примера показаны на рис. 5.24, а детали модели операционного усилителя на рис. 5.25.

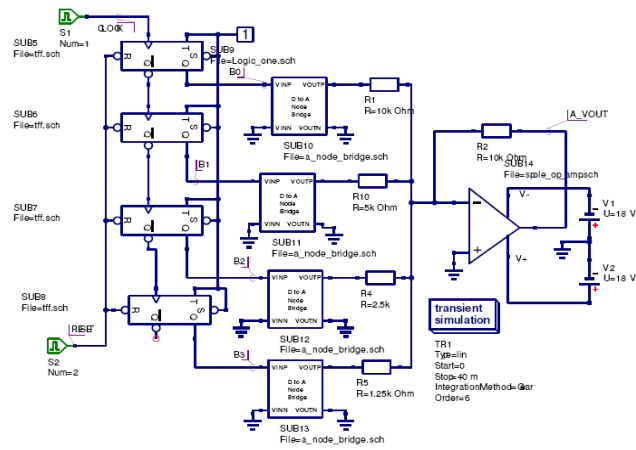


Рис. 5.23. Более сложный пример аналого-цифровой смешанной симуляции

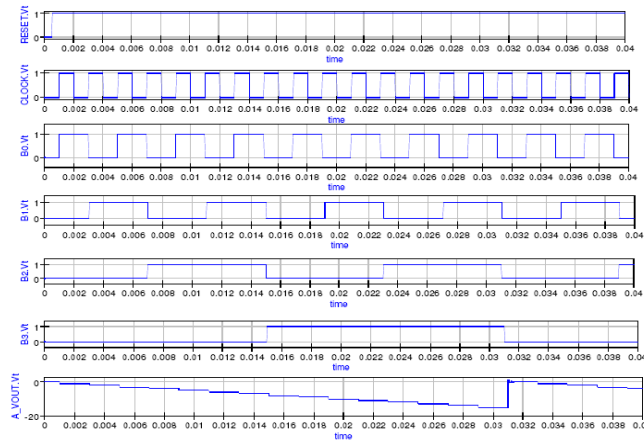


Рис. 5.24. Графический вывод цифрового TimeList для цепи, показанной на рис. 5.23

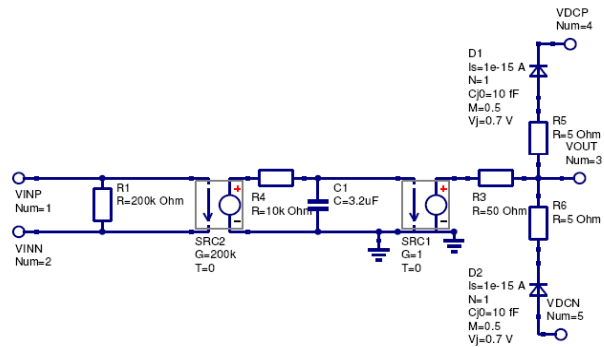


Рис. 5.25. Модель операционного усилителя с $R_{in} = 200\text{k}$, частотным полюсом = 5Hz, DC дифференциальным усилением = 200k и $R_{out} = 50\ \Omega$

5.12 Заключительные замечания

Примеры, описанные в этих заметках были все симулированы с использованием последней версии CVS кода Qucs. Начиная с выпуска версии 0.0.8, Qucs был готов к тому, чтобы использоваться для симуляции в смешанном режиме, а многие из известных ошибок в Qucs 0.0.8 будут скорректированы в выпуске Qucs 0.0.9 через некоторое время. Выпуск 0.0.9 будет представлять другой важный шаг в развитии действительно универсального симулятора. Однако значительно больше работы потребуется сделать по развитию моделей для использования в разных физических областях. Мои благодарности Michael Margraf и Stefan Jahn за всю их тяжелую работу по коррекции ошибок, которые всплыли при тестировании примеров, представленных в этом руководстве.

6 Моделирование операционных усилителей

6.1 Введение

Операционные усилители (OP AMP) – это фундаментальные строительные блоки линейной электроники. Они широко применялись в разработках линейных цепей с тех пор, как были впервые представлены около тридцати лет назад. Использование моделей операционных усилителей для симуляции схем с помощью SPICE и других популярных симуляторов схем широко распространено, и многие производители предоставляют модели для их устройств. В большинстве случаев эти модели не пробуют симулировать внутренние цепи на уровне устройства, а используют макро-моделирование для представления поведения усилителя, как это происходило бы на выводах устройства. Цель этих заметок по руководству пояснить, как эти макро-модели могут быть использованы для симуляции ряда свойств операционных усилителей, и показать, как параметры макро-модели могут быть получены из справочных данных производителей. Руководство концентрируется на моделях, которые могут быть симулированы с использованием Qucs выпуска 0.0.9.

6.2 Qucs встроенная модель операционного усилителя

Qucs включает модель идеального операционного усилителя. Его символ можно найти в списке нелинейных компонент. Эта модель представляет операционный усилитель, как идеальное устройство с дифференциальным усилением и ограничением выходного напряжения. Модель предназначена для использования с простыми блоками усиления и не должна использоваться в симуляции схем, где свойства операционного усилителя критичны для поведения всей остальной схемы. Рис. 6.1 показывает базовый инвертирующий усилитель с усилением в 10 раз, базируемый на Qucs OP AMP модели. Симуляция АС представления этой цепи показано на рис. 6.2. Из рис. 6.2 видно, что усиление схемы и фазовый сдвиг – это константы и они не меняются с изменением частоты входного сигнала. Это, конечно, идеальная ситуация, которую практический операционный усилитель не воспроизведет. Давайте сравним поведение этой же схемы с операционным усилителем, представленным схемой уровня устройства. Показанное на рис. 6.3 – это диаграмма транзисторной схемы для хорошо известного операционного усилителя UA741⁴⁹. Результаты усиления и фазы для этой схемы

⁴⁹ UA741 операционный усилитель – это одно из самых изученных устройств. Все почти уникальное в этой транзисторной модели было сконструировано для этого устройства. Детали работы схемы и моделирования этого устройства можно найти в (1) Paul R. Grey et. al., Analysis and Design of Analog Integrated Circuits, Fourth Edition, 2001, John Wiley and Sons INC., ISBN 0-471-32168-0, и (2) Andrei Vladimirescu, The SPICE book, 1994, John Wiley and Sons, ISBN 0-471-60926-9.

показаны на рис. 6.1, где ОП АМР смоделировано по UA741 транзисторного уровня модели, данной на рис. 6.4. Кривые на этом рисунке ясно иллюстрируют разницу между двумя моделями симуляции. Когда симулируется схема, которая включает операционные

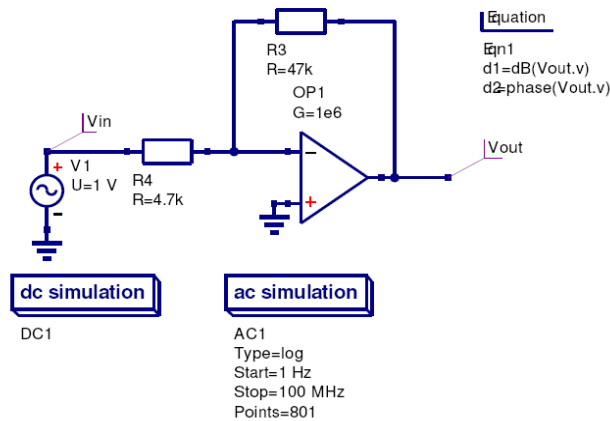


Рис. 6.1. Qucs схема для базового ОП АМР инвертирующего усилителя: Qucs ОП АМР имеет $G=1e6$ и $U_{max}=15V$

усилители, качество модели ОП АМР может быть зачастую ограничивающим фактором в точности всех остальных результатов симуляции. Точные ОП АМР модели обычно включают ряд следующих характеристик устройства: (1) DC и AC дифференциальное усиление, (2) смещение входного тока, (3) уход входного тока и напряжения, (4) входной импеданс, (5) синфазный сигнал, (6) скорость нарастания выходного напряжения, (7) выходной импеданс, (8) эффекты пониженного питания, (9) шумы, (10) ограничения выходного напряжения, (11) ограничения выходного тока и (12) эффекты восстановления сигнала после перегрузки. Точное смешивание выбранных свойств в большой степени зависит от цели используемой модели. Например, если модель требуется только для симуляции AC передаточной функции при малом сигнале, тогда включение раздела ограничений выходного напряжения ОП АМР модели не является необходимым, или вполне может считаться неуместным. В следующих разделах этой статьи руководства разбираются макро-модели для нескольких параметров ОП АМР, перечисленных выше, и в каждом случае необходимая техника ограничена показом того, как воссоздать параметры макро-модели по справочным данным производителей.

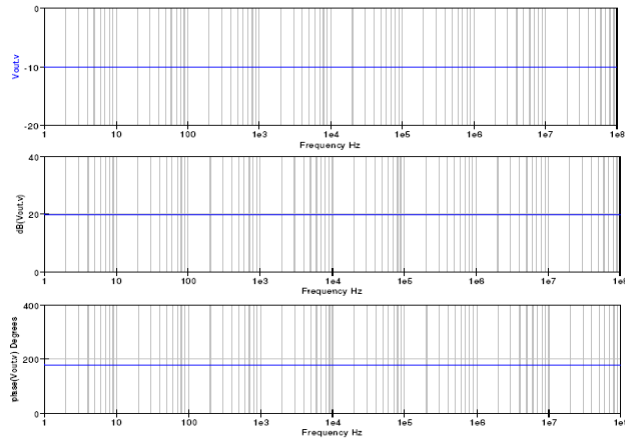


Рис. 6.2. Кривые усиления и фазы для базового ОР АМР инвертирующего усилителя

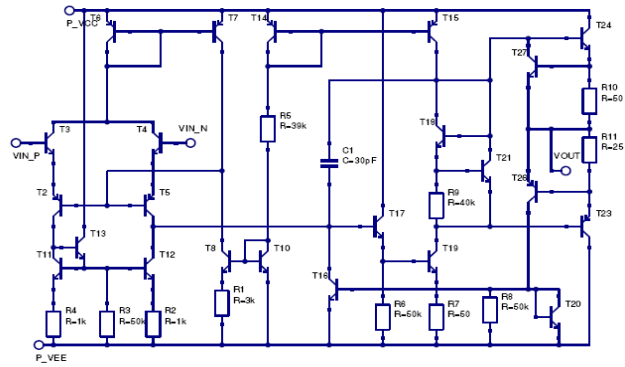


Рис. 6.3. Транзисторный уровень схемы для операционного усилителя UA741

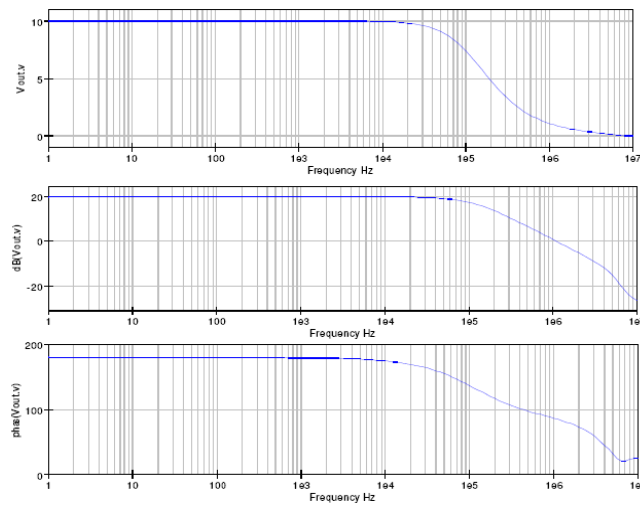


Рис. 6.4. Кривые усиления и фазы для 10 кратного усиления инвертирующим усилителем с ОР АМР, представленным транзисторным уровнем UA741 модели

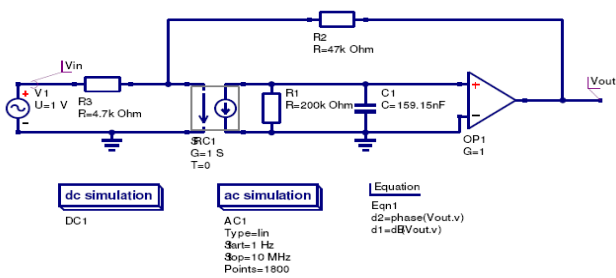


Рис. 6.5. Модифицированная Qucs OP AMP модель для получения одно-полосной частотной характеристикой

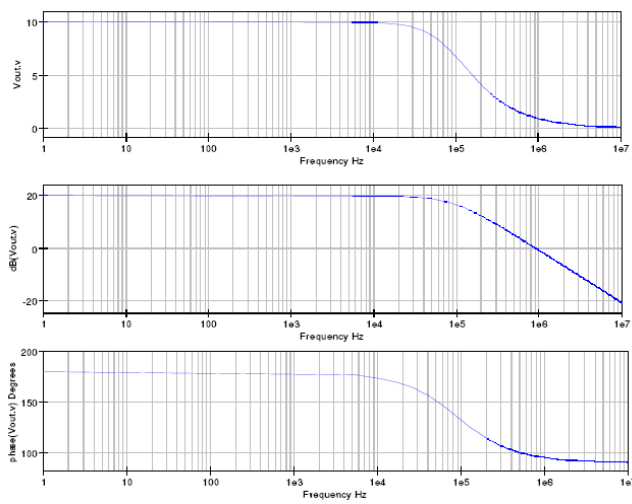


Рис. 6.6. Кривые усиления и фазы для схемы, показанной на рис. 6.5

6.3 Дополнительные возможности Qucs OP AMP модели

В предыдущем разделе было показано, что Qucs OP AMP модель имеет частотную характеристику, которая не зависит от частоты. Добавлением внешних компонентов к Qucs OP AMP модели функциональность модели может быть улучшена. Усиление UA741 с разомкнутой петлей обратной связи имеет полюс около 5Hz и спад частотной характеристики 20 dB на декаду от первого полюса до второго, около 3 MHz. Схема, показанная на рис. 6.5, моделирует дифференциальную частотную характеристику UA741 от DC до 1 MHz. Рис. 6.6 иллюстрирует частотную характеристику с замкнутым контуром для модифицированной Qucs OP AMP модели.

6.4 Макро-модели модульного операционного усилителя

Макро-моделирование – это термин, данный процессу моделирования электронного устройства, как «черного ящика», где индивидуальные характеристики устройства специфицированы в терминах сигналов и других свойств, получаемых на входных и выходных выводах «черного ящика». Такие модели работают на функциональном уровне, а не на более детальном транзисторном уровне схемы, предлагая значительное увеличение эффективности вычислений⁵⁰. Макро-модели обычно произведены непосредственно из справочных данных производителя. Для большинства операционных усилителей модели транзисторного уровня не предоставляются производителями. Одно примечательное исключение сделано для операционного усилителя UA741, показанного на рис. 6.3. Блок диаграмма модулей⁵¹ общего назначения OP AMP макро-модели проиллюстрирована на рис. 6.7. На этой диаграмме блоки представляют специфические характеристики усилителя, моделируемые электрическими сетями, собранными из компонент, находящихся во всех популярных симуляторах схем⁵². Каждый блок состоит из одного или большего числа компонент, которые моделируют единственный параметр усилителя или группу родственных параметров, таких как выходное смещение тока и напряжения. Этим обеспечивается,

⁵⁰ Вычислительная эффективность многократно возрастает благодаря тому факту, что макро-модели операционных усилителей имеют, в среднем, около одной шестой от числа узлов переходов по сравнению с моделью транзисторного уровня. Кроме того, число нелинейных p-n переходов, включенных в макро-модель, часто меньше десяти, что сравнительно лучше сорока или пятидесяти нужных для модели усилителя на транзисторном уровне.

⁵¹ Brinson M. E. and Faulkner D. J., Modular SPICE macromodel for operational amplifiers, IEE Proc. Circuits Devices Syst., Vol. 141, No. 5, October 1994, pp. 417-420.

⁵² Модели, использующие нелинейные управляемые источники, например для SPICE В источники напряжения и тока, не допускаются в Qucs выпуска 0.0.9. Нелинейные управляемые источники – одна из возможностей в Qucs to-do списке.

что изменения одного частного параметра, не распространятся косвенно на другие параметры. Локальные узлы и масштабирование также применяются в макро-модельных блоках. Кроме того, поскольку каждый блок работает отдельно, масштабируемые напряжения не распространяются за пределы отдельных блоков. Каждый блок может перемещаться с подсхемой Qucs, что имеет требуемую спецификацию и буферизацию от других блоков. Более того, все подсхемы – это самодостаточные сущности, где детали внутренней схемы скрыты от других блоков. Такой подход похож на структурированное высоко-уровневое компьютерное программирование, где внутренние детали функций скрыты от пользователей. Когда характеристики устройства, специфицированные для каждого блока, отделены от всех других характеристик устройства, только те характеристики усилителя, что нужны, включаются в данную макро-модель. Такой подход направляет к подлинно структурированным макро-моделям. Следующие разделы представляют детали и источники электрических сетей, формирующих блоки, показанные на рис. 6.7. Чтобы проиллюстрировать работу модульной ОР АМР макро-модели, значения параметров блока рассчитываются для UA741 ОР АМР и используются в серии показательных симуляций. До конца этих заметок будут представлены данные для некоторых других популярных общего назначения операционных усилителей.

6.5 Базовая АС ОР АМР макро-модель

Минимальный набор блоков, требуемый для того, чтобы модульная макро-модель функционировала, как усилитель: входной каскад, усилительный каскад и выходной каскад. Этим формируется ядро модулей для всех макро-моделей.

6.5.1 Входной каскад

Входной каскад включает напряжение смещение усилителя, отклонение и смещение токов, и компоненты дифференциального входного импеданса. Цепь для входного каскада показана на рис. 6.8, где

1. $R1 = R2 =$ Половина входного дифференциального сопротивления усилителя (RD).
2. $Cin =$ Дифференциальная входная емкость усилителя (CD).
3. $Ib1 = Ib2 =$ Отклонение входного тока усилителя (IB).
4. $Ioff =$ Половина входного тока смещения усилителя ($IOFF$).
5. $Voff1 = Voff2 =$ Половина входного напряжения смещения ($VOFF$).

Типичные значения для UA741 ОР АМР:

1. $RD = 2\text{ M}\Omega$ и $R1 = R2 = 1\text{ M}\Omega$

2. $CD = C_{in1} = 1.4 \text{ pF}$.
3. $IB = I_{b1} = I_{b2} = 80 \text{ nA}$.
4. $IOFF = 20 \text{ nA}$ u $I_{off1} = 10 \text{ nA}$.
5. $VOFF = 0.7 \text{ mV}$ u $V_{off1} = V_{off2} = 0.35 \text{ mV}$.

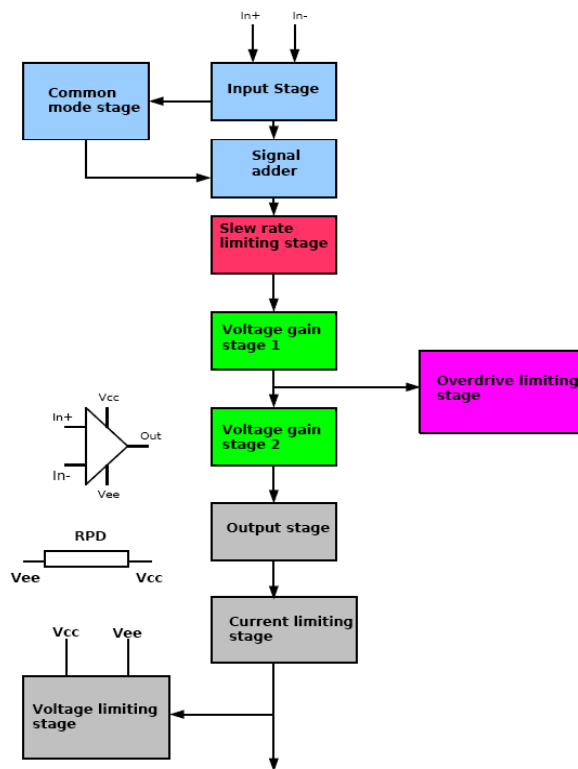


Рис. 6.7. Блок-диаграмма макро-модели операционного усилителя

Дифференциальный выходной сигнал (VD) задан через VD-P1 – VD-N1, а синфазный выходной сигнал (VCM) через $(VD-P1 + VD-N1)/2$.

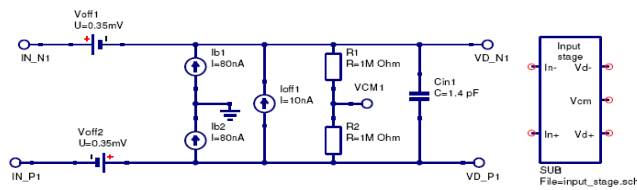


Рис. 6.8. Модульный блок OP AMP входного каскада

6.5.2 Усилитель напряжения с одним каскадом

Цепь для усилителя напряжения с одним каскадом показана на рис. 6.9, где

1. $RD1 = 100 \text{ M}\Omega$ = «Фальшивый» входной резистор, добавленный для соединения узлов IN–P 1 и IN–N1 по постоянному току.
2. $GMP1 = 1 \text{ S}$ = Напряжение единичного усиления, управляющее генератором тока.
3. $RADO$ = Разомкнутое по постоянному току дифференциальное усиление ($AOL(DC)$) OP AMP.
4. $CP1 = 1/(2*\pi*GBP)$, где $GBP = \text{OP AMP}$ произведение к-та усиления на ширину полосы пропускания

Типовые значения UA741 OP AMP:

1. $RADO = 200\text{k}$ ($AOL(DC) = 106 \text{ dB}$).
2. $CP1 = 159.15 \text{ nF}$ (Типовое значение для UA741 $GBP = 1 \text{ MHz}$).

6.5.3 Производная передаточная функция одно-каскадного усилителя напряжения

Большинство операционных усилителей общего применения характеризуются дифференциальным усилением по напряжению разомкнутого контура, которое имеет (1) очень большое значение на DC, (2) главный полюс (f_{p1}) на низкой частоте, обычно ниже 100 Hz , и (3) частотную характеристику, которая спадает на 20 dB на декаду до частоты единичного усиления, которая часто в районе Mhz . Эта форма частотной характеристики имеет постоянное произведение коэффициента усиления на полосу пропускания (GBP) во всем диапазоне частот от f_{p1} до GBP . Типичная частотная характеристика OP AMP с разомкнутой обратной связью показана на рис. 6.10. Передаточная функция усиления по напряжению для этого типа характеристики может быть моделирована электрической сетью данной на рис. 6.9, где AC передаточная характеристика напряжения

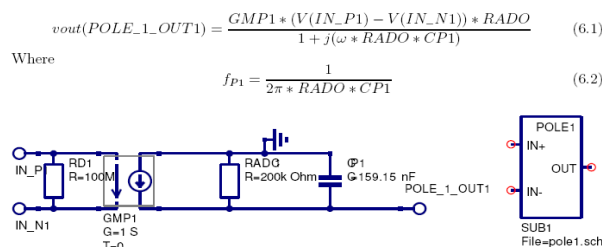


Рис. 6.9. Модульный OP AMP одно-каскадного усилителя напряжения

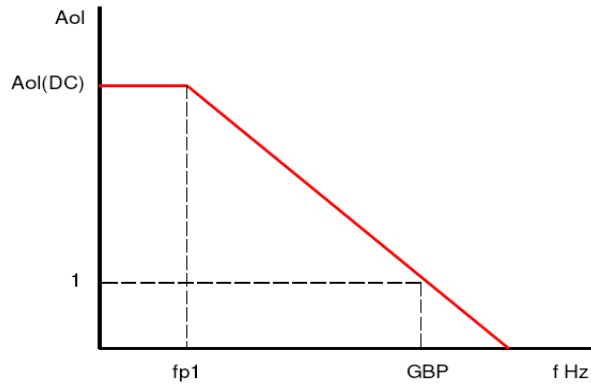


Рис. 6.10. OP AMP дифференциальное усиление по напряжению с разомкнутой обратной связью как функция частоты

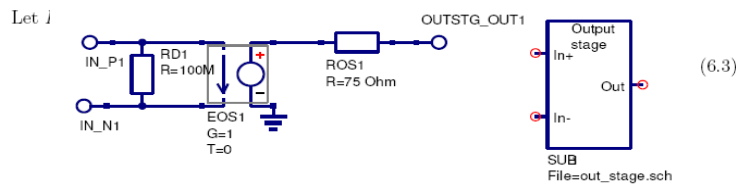


Рис. 6.11. Модульная макро-модель выходного каскада

6.5.4 Выходной каскад

Электрическая сеть, представляющая базовый выходной каскад дана на рис. 6.11, где

1. $RD1 = 100\text{ M}\Omega$ = «Фальшивое» входное сопротивление, добавленное для соединения узлов $IN-P1$ и $IN-N1$ по DC (постоянному току).
2. $EOS1\ G = 1$ = Единичное усиление по напряжению, управляющее генератором напряжения.
3. $ROS1 = OP\ AMP$ выходное сопротивление.

Типовое значение для UA741 OP AMP выходное сопротивление $ROS1 = 75\Omega$.

6.5.5 Модель подсхемы для базовой AC OP AMP макро-модели

Модель для базовой AC OP AMP макро-модели показана на рис. 6.12. Напряжение синфазного сигнала входного каскада (V_{cm}) не используется в этой макро-модели и

было оставлено свободным. Для проверки поведения АС макро-модели ее действие сравнивалось с моделью UA741 транзисторного уровня. Рис. 6.13 показывает схему цепи для двух инвертирующих усилителей, каждый с коэффициентом усиления десять, подключенных к общему АС источнику. Один из усилителей использует простую АС макро-модель, а второй UA741 модель транзисторного уровня. Рис. 6.14 иллюстрирует выходные усиления и фазы кривые для обоих усилителей. В основном нарисованные кривые очень схожи. Однако на частоте выше GBP базовая АС макро-модель не корректно моделирует реальное OP AMP поведение. Этого и следовало ожидать, поскольку простая АС макро-модель не включает каких-либо высокочастотных моделирующих компонент. Заметьте также, что DC выходное напряжение для vout и vout3 очень похожи, см. DC табличные результаты, данные на рис. 6.13.

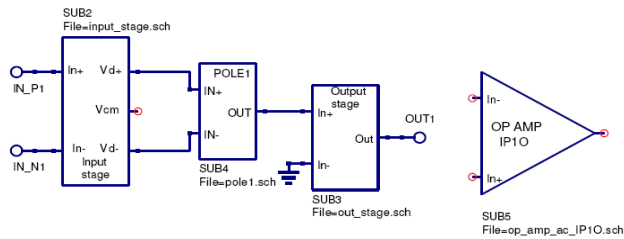


Рис. 6.12. Простая АС OP AMP макро-модель

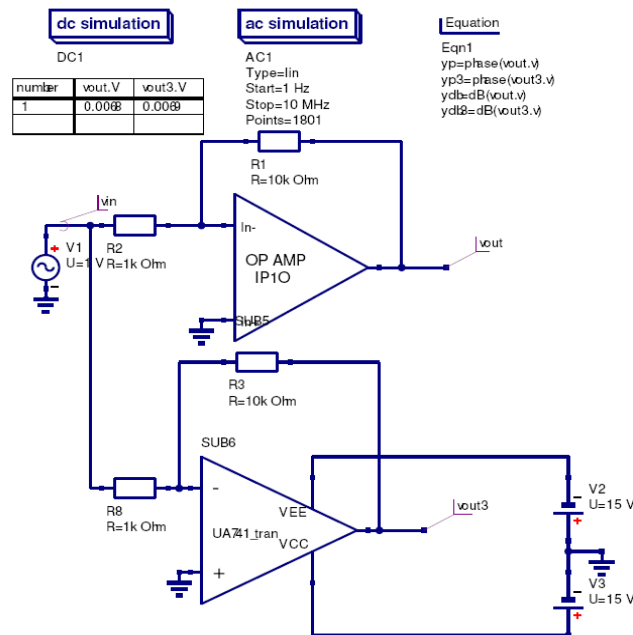


Рис. 6.13. Тестовая цепь для инвертирующего усилителя. Выходные сигналы: (1) vout для АС макро-модели, (2) vout3 для UA741 транзисторной модели

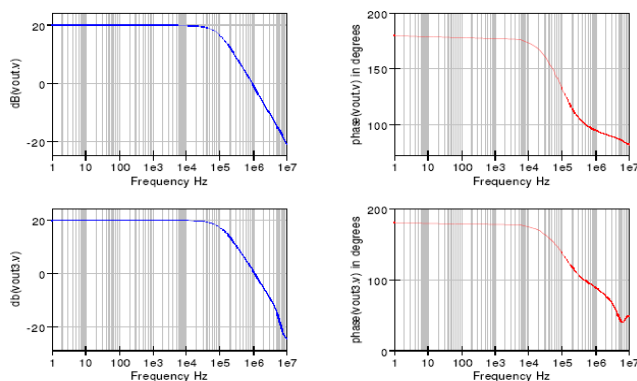


Рис. 6.14. Тестовые результаты симуляции схемы, показанной на рис. 6.13

6.6 Более точная OP AMP AC макро-модель

Большинство OP AMP общего назначения имеют высокочастотный полюс на дифференциальной частотной характеристике с разомкнутой петлей обратной связи. Добавлением второго каскада усиления в простую AC макро-модель поведение частотной характеристики на высоких частотах может быть скорректировано. Модель для второго усилительного каскада показана на рис. 6.15. Этот дополнительный каскад усиления похож на первый каскад усиления, где

1. $RD2 = 100 \text{ M}\Omega$ = «Фальшивый» входной резистор, добавленный для образования пути прохождения DC между узлами IN_P2 и IN_N2.
2. $GMP2 = 1 \text{ S}$ = Единичного усиления, управляемый напряжением генератор тока.
3. $RP2 = 1 \text{ }\Omega$.
4. $CP2 = 1/(2\pi \cdot fp2)$, где $fp2$ = второй частотный полюс в Hz.

Типичное значение для UA741 OP AMP высокочастотного полюса $fp2 = 3 \text{ M Hz}$.

6.6.1 Производная переходная функция двухкаскадного усилителя напряжения

Дифференциальная передаточная функция усиления напряжения для двухкаскадного усилителя задается

$$v_{out}(POLE_2_OUT1) = \frac{GMP2 * (V(IN_P2) - V(IN_N2)) * RP2}{1 + j(\omega * RP2 * CP2)} \quad (6.4)$$

Let $RP2 = 1\Omega$ and $GMP2 = 1\text{ S}$. Then

$$v_{out}(POLE_2_OUT1) = \frac{V(IN_P2) - V(IN_N2)}{1 + j(\omega * CP2)} \quad (6.5)$$

and

$$CP2 = \frac{1}{2\pi * fP2} \quad (6.6)$$

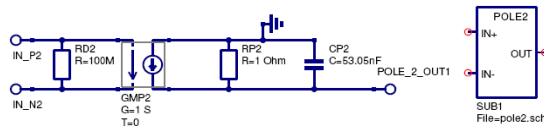


Рис. 6.15. Модульный OP AMP, второй каскад усилителя напряжения

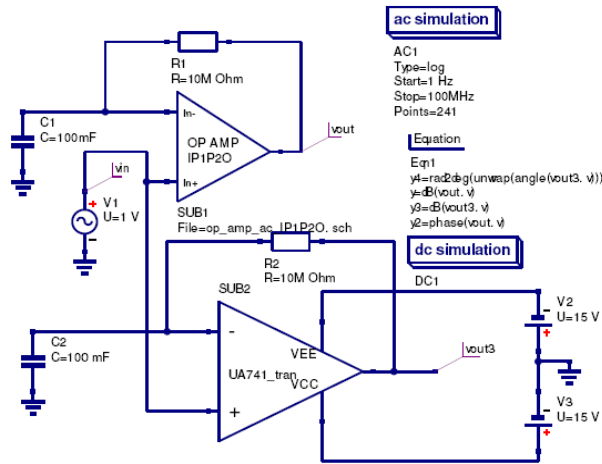


Рис. 6.16. Тестовая цепь для симуляции OP AMP дифференциального усилителя с разомкнутой петлей обратной связи

6.6.2 Симуляция OP AMP дифференциального усилителя с разомкнутой обратной связью

Схема, показанная на рис. 6.16 позволяет симулировать дифференциальный усилитель с разомкнутым контуром обратной связи ($A_{ol}(f)$). Эта цепь обслуживается резистором обратной связи для обеспечения DC стабильности. Рис. 6.16 иллюстрирует две тестовые цепи, подключенные к общему источнику AC. Это позволяет сравнить поведение AC макро-модели и модели UA741 транзисторного уровня. Передаточная функция AC напряжения для тестовой цепи

$$v_{out}(f) = \frac{A_{ol}(f)}{1 + \frac{A_{ol}(f)}{1 + j\omega * R * C}} v_{in}(f) \quad (6.7)$$

where $v_{out}(f) = (V^+ - V^-) * A_{ol}(f)$, $V^+ = v_{in}(f)$, and $V^- = \frac{v_{out}(f)}{1 + j\omega * R * C}$

При $\frac{(A_{ol}(f))}{(\omega * R * C)} \ll 1$, уравнение (7) становится $v_{out}(f) \Rightarrow A_{ol}(f) * v_{in}(f)$.

Следовательно, и для частот, где выполняется условие $v_{out}(f) = A_{ol}(f)$, когда $v_{in}(f) = 1 V$. Рис. 6.17 показывает графический вывод симуляции данных с разомкнутым контуром. С тестовой константой времени схемы, установленной в 1e6 секунд, данные точны до частоты 1 Hz.

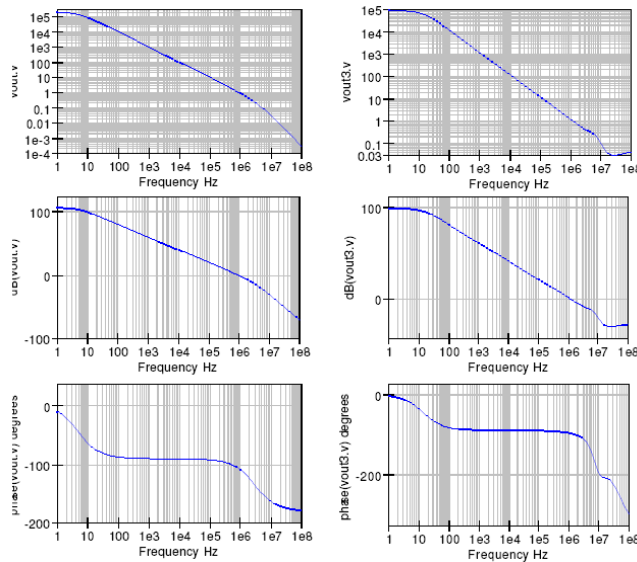


Рис. 6.17. Результаты тестовой симуляции для цепи рис. 6.16

6.7 Добавление эффектов синфазного сигнала к ОР АМР АС макро-модели

Дифференциальное усиление с разомкнутым контуром $A_D(f)$ для большинства операционных усилителей общего назначения может быть приближено

$$A_D(f) = A_D(0) \frac{1}{1 + j \frac{f}{f_{PD}}} \quad (6.8)$$

Похожим образом усиление синфазного сигнала $A_{CM}(f)$ может быть представлено такой же одно-полосной частотной характеристикой и характеристикой с единственным нулем задаваемой

$$A_{CM}(f) = A_{CM}(0) \frac{1 + j \frac{f}{f_{CMZ}}}{1 + j \frac{f}{f_{PD}}} \quad (6.9)$$

Определение коэффициента подавления синфазного сигнала $CMRR(f)$ для OP AMP

$$CMRR(f) = \frac{A_D(f)}{A_{CM}(f)} \quad (6.10)$$

дает

$$CMRR(f) = CMRR(0) \frac{1}{1 + j \frac{f}{f_{CMZ}}} \quad (6.11)$$

где

$$CMRR(0) = \frac{A_D(0)}{A_{CM}(0)} \quad (6.12)$$

Эффекты синфазного сигнала могут быть добавлены в OP AMP макро-модели включением каскада в модульную макро-модель, который вводит нуль в частотную характеристику усилителя. Выход VCM из входного каскада макро-модели чувствует синфазный сигнал. Этот сигнал, проходя через CR сеть, генерирует требуемый синфазным сигналом ноль. Рис. 18 дает модель сети, генерирующей ноль, где

1. $R_{DCMZ} = 650 \text{ M}\Omega = \text{синфазного сигнала входное сопротивление}/2$.
2. $R_{CM1} = 1 \text{ M}\Omega$
3. $E_{CM1} \text{ G} = 31.623 = \frac{\frac{R_{CM1}}{R_{CM2}}}{CMRR(0)}$ (ЗАМЕТЬТЕ: R_{CM1}/R_{CM2} масштабный к-т)
4. $C_{CM1} = 795.8 \text{ pF} = \frac{1}{2\pi * R_{CM1} * f_{CMZ}}$.
5. $R_{CM2} = 1\Omega$

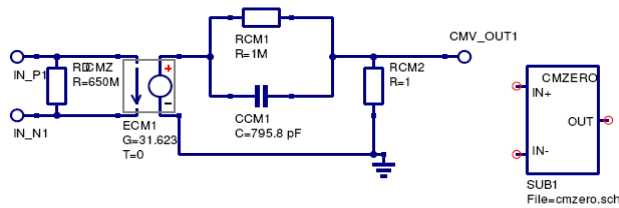


Рис. 6.18. Макро-модель нулевого синфазного сигнала

Типичные значения для UA741 OP AMP:

1. Входное сопротивление синфазного сигнала = 1300 MΩ.
2. CMRR(0) = 90 dB.
3. $f_{CMZ} = 200$ Hz.

Передаточная функция АС напряжения для нуля синфазного сигнала передаточной функции

$$V_{out}(CMV_OUT1) = \frac{RCM2}{RCM1} \left[\frac{1 + j\omega * RCM1 * CCM1}{1 + j\omega * RCM2 * CCM1} \right] [V(IN_P1) - V(IN_N1)] \quad (6.13)$$

Когда $\frac{RCM2}{RCM1} \ll 1$, полюс, задаваемый RC сетью синфазного сигнала, находится на очень высокой частоте и может быть опущен. Комбинируя ноль синфазного сигнала с ранее определенными моделями каскадов усиления, получаем макро-модель, показанную на рис. 6.19. На этой модели дифференциальный и синфазный сигналы скомбинированы с использованием простого аналогового сумматора, базируемого на управляемых напряжением генераторах тока.

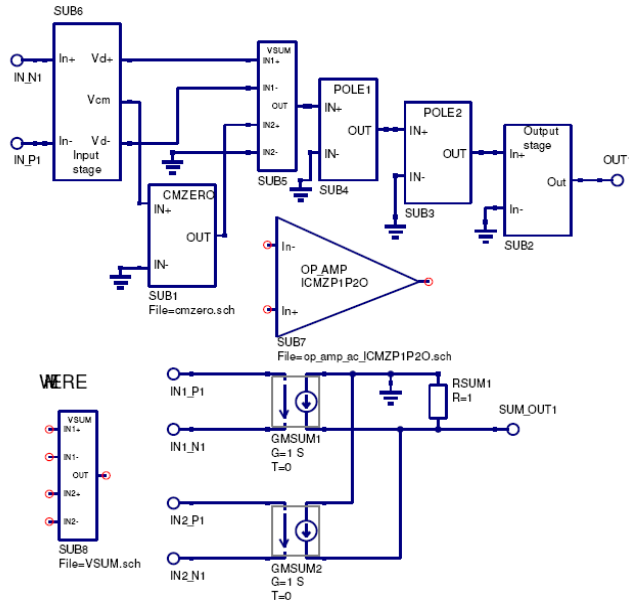


Рис. 6.19. АС макро-модель, включающая ноль синфазного сигнала

6.7.1 Симуляция эффектов ОР АМР синфазного сигнала

Эффекты ОР АМР синфазного сигнала могут симулироваться цепью, показанной на рис. 6.20⁵³. Результирующие напряжения ($v_{out.v}$ и $v_{out3.v}$) для тестирования цепи с соответствующими резисторами показано на рис. 6.21, где

$$\frac{v_{out}(0)}{v_{in}} = \frac{1}{CMRR(0)}$$

Чисто тестовые результаты для макро-модели и транзисторной модели UA741 очень похожи. В случае макро-модели для расчета значений компонент были использованы параметры устройства. Однако в модели транзисторного уровня точные значения параметров компонент не известны⁵⁴.

⁵³ Brinson M.E. и Faulkner D.J., New approaches to measurement of operational amplifier common-mode rejection ratio in the frequency domain, IEE Proc-Circuits Devices Sys., Vol 142, NO. 4, August 1995, стр. 247-253.

⁵⁴ UA741 модель транзисторного уровня базируется на оценке параметрического процесса, который определяет характеристики транзисторов UA741. Следовательно, модель уровня устройства не похожа, чтобы была абсолютно идентична модели, произведенной из значений типичных параметров, найденных в справочных данных ОР АМР. Из результатов симуляции CMRR(0) значения приблизительно (1) макро-модель 90 dB, (2) UA741 транзисторная модель 101 dB. Аналогично, нулевые частоты общего режима

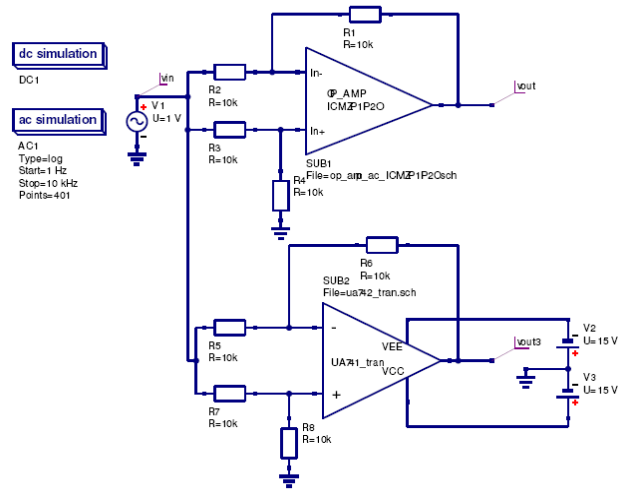


Рис. 6.20. Симуляция представления OP AMP синфазного сигнала

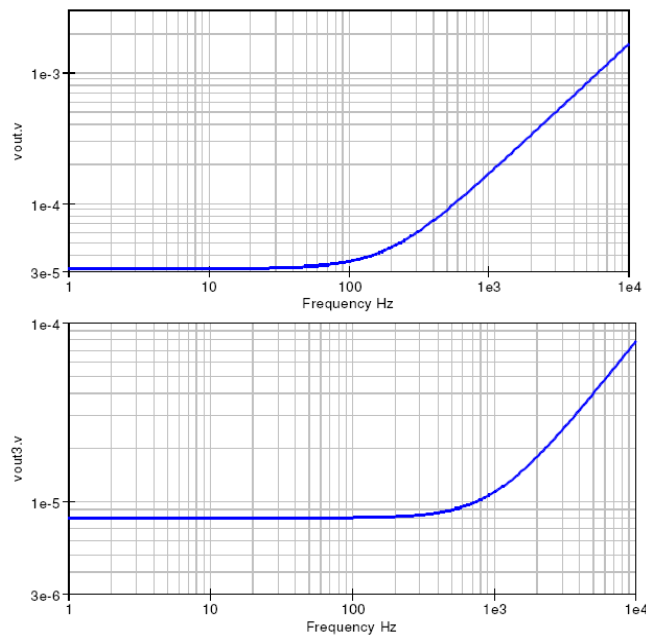


Рис. 6.21. Результаты тестовой симуляции цепи, показанной на рис. 6.20

приблизительно (1) макро-модели 200 Hz, (2) UA741 транзисторной модели 500 Hz.

6.8 Область переходных процессов большого сигнала OP AMP макро-моделей

Модульная макро-модель, представленная в предыдущих разделах, концентрировалась на моделировании OP AMP представления в области малых сигналов АС. Модели большого сигнала нуждаются в том, чтобы принималось в расчет прохождение сигнала через OP AMP в области времен и ограничений отклонения от номинального значения напряжения и тока с размахом практических значений, обнаруживаемых в реальных усилителях. Начиная с АС области, макро-модель, представленная в предыдущих разделах, дополняется скоростью нарастания, ограничивающей усиление и перегрузку каскада, и более корректно моделирующую ограничения высокой скорости OP AMP при большом сигнале. Кроме того, с добавлением каскадов, ограничивающих выходное напряжение и ток, макро-модель OP AMP будет корректно моделировать эффекты большого сигнала, когда уровни сигнала достигают питающих напряжений цепи или текущих ограничений OP AMP выхода.

6.8.1 Источник скорости нарастания макро-модели

Скорость нарастания OP AMP может моделироваться ограничением тока заряда $CP1$ в первом каскаде усиления напряжения POLE1. Из рис. 6.9

$$GMP1(V(IN_P1) - V(IN_N1)) = \frac{V(POLE_1_OUT1)}{RADO} + CP1 * \frac{dV(POLE_1_OUT1)}{dt} \quad (6.14)$$

Следовательно, при условии, что $RADO$ большое⁵⁵

$$GMP1(V(IN_P1) - V(IN_N1)) \simeq CP1 * \frac{dV(POLE_1_OUT1)}{dt} \quad (6.15)$$

Но

$$CP1 = \frac{1}{2\pi * GBP}$$

Вывод

$$GMP1(V(IN_P1) - V(IN_N1)) \simeq \frac{1}{2\pi * GBP} * \frac{dV(POLE_1_OUT1)}{dt} \quad (6.16)$$

Кроме того, если $\frac{dV(POLE_1_OUT1)}{dt}$ установлено эквивалентным скорости нарастания

⁵⁵ Это условие обычно справедливо, поскольку $RADO$ устанавливается DC дифференциальным усилением в макро-модуле POLE1.

ОП-АМР, тогда ток, заряжающий CPI , будет ограничен максимально разрешенным. На рис. 6.9 GMP1 – это 1 S.

Следовательно, разница напряжений $V(IN-P1) - V(IN-N1)$

должна быть установлена в $\frac{1}{2\pi * GBP} * \frac{dV(POLE_1_OUT1)}{dt}$.

Это выполняется сетью SLEWRT, показанной на рис. 6.22, где

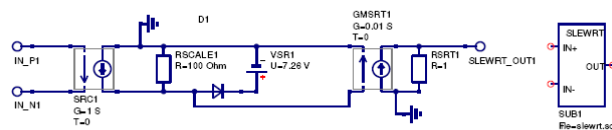


Рис. 6.22. Макро-модель ОП АМР скорости нарастания

1. $RSCALE1 = 100 \Omega =$ Масштабирующее сопротивление (к-т x 100).
2. $SRC1 G = 1 S$.
3. $VSRI = V1$.
4. $GMSRT1 G = 0.01 S$. (к-т = 1/100).
5. $RSRT1 = 1\Omega$.

И

$$1. V 1 = \frac{100 * Positive_slew_rate}{2\pi * GBP} - 0.7V$$

$$2. V 2 = \frac{100 * Negative_slew_rate}{2\pi * GBP} - 0.7V$$

3. Параметры диода: IS=1e-12 IBV=20mA BV=V1+V2, другие по умолчанию.

Типовые значения для UA741 ОП АМР:

1. Положительная-скорость-нарастания = Отрицательная-скорость-нарастания = 0.5V/μS.
2. $V 1 = V 2 = 7.25V$.

Масштабирование используется для модели скорости нарастания, чтобы позволить использовать большее напряжение в фиксирующей цепи. Увеличение напряжения уменьшает ошибки, благодаря прямому смещению напряжения на (p-n) переходе. Текущее ограничение – результат фиксации напряжения через резистор $RSCALE1$ с диодом. Диод работает, как стабилитрон, и сохраняет одно нелинейное соединение по сравнению с общепринятыми фиксирующими цепями. Выходное звено цепи SLEWRT

удаляет внутреннее масштабирование, передавая полное усиление модулю.

Цепь на рис. 6.23 демонстрирует ограничения скорости нарастания на ОП АМР представление переходных процессов. Три идентичных ОП АМР схемы инверторов питаются от общего входного источника сигнала 10 kHz АС. Управляемый напряжением источник напряжения используется для усиления входного сигнала для второй и третьей цепи. Три входных сигнала имеют (1) 5 V пиковые, (2) 10 V пиковые и (3) 15 V пиковые, соответственно. Входные и выходные графики (waveforms) для этих цепей иллюстрирует рис. 6.24. Эффект ограничения скорости нарастания на большом сигнале представления переходного процесса ясно демонстрируется этими кривыми. В случае входного сигнала 15 V (пиковое значение) выходной сигнал ($v_{out3.Vt}$) имеет наклон, приблизительно, 0.5 V на μS .

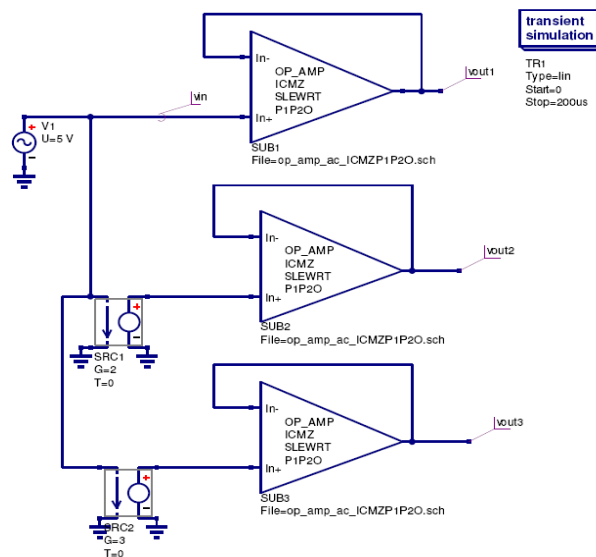


Рис. 6.23. Тестовая схем для скорости нарастания ОП АМР

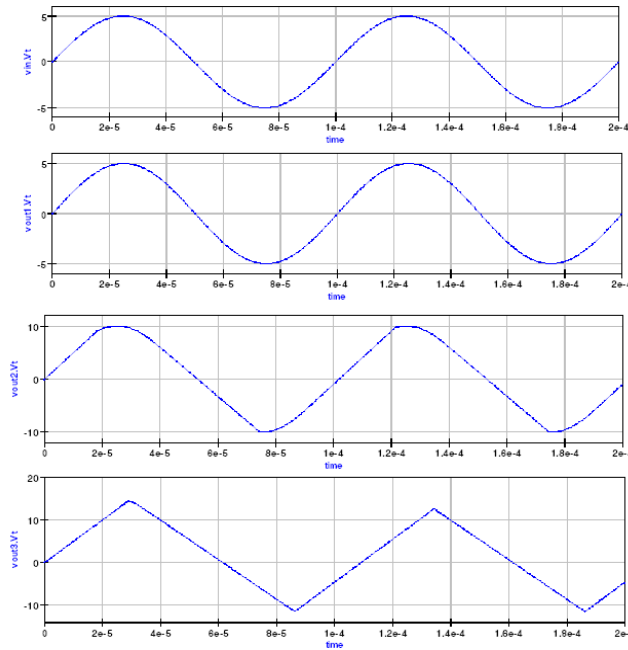


Рис. 6.24. Диаграммы симуляции скорости нарастания OP AMP для схемы рис. 6.23

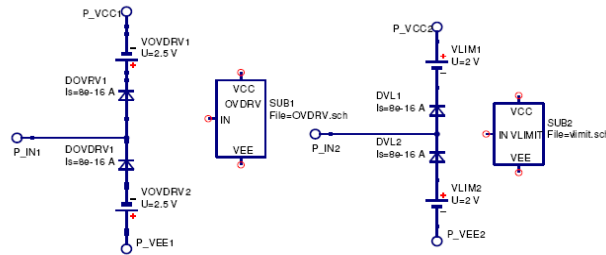


Рис. 6.25. OP AMP перегрузки и ограничения выходного напряжения макро-модели

6.8.2 Моделирование OP AMP перегрузки и ограничения выходного напряжения

Большие переходные сигналы могут перегружать OP AMP, приводя к тому, что выходное напряжение насыщается. После прекращения перегружающего сигнала OP AMP нужно конечное время для восстановления⁵⁶ и возвращения к нормальному линейному поведению цепи. При насыщении выходное напряжение сжимается до

⁵⁶ Время восстановления после перегрузки для OP AMP – это время, требуемое для того, чтобы выходное напряжение перешло к номинальному значению из условий насыщения. Типичное значение находится в пределах μs .

напряжения (по плюсу или минусу) близкого к значениям питающих шин. Свойства перегрузки и сжимания напряжения для ОР АМР взаимосвязаны и макро-модели для обоих эффектов следует добавить к модели ОР АМР, когда симулируются перегрузочные характеристики ОР АМР. Однако в при большинстве симуляций схем макро-модель перегрузки может быть опущена без потери функциональности или точности.

Эффект перегрузки сигналов может моделироваться цепью сжимания напряжения, которая берет в расчет время восстановления ОР АМР после перегрузки по напряжению. Этот дополнительный элемент сжимает выход модуля *POLE1* на уровне выше ОР АМР DC питающего напряжения. Общий эффект перегрузочной цепи – задержка восстановления линейного поведения цепи, когда перегружающий сигнал пропадает. В противоположность модулю перегрузки модуль ограничения выходного напряжения сжимает выходное напряжение до напряжения близкого к уровню питающего напряжения, обрезая выбег любого выходного напряжения выше уровня питающего. Рис. 6.25 иллюстрирует макро-модели для перегрузочной и ограничивающей выходное напряжение моделей, где

1. $VOVDRI = 2.5 \text{ V} = (\text{Положительная скорость нарастания}) * (\text{Время восстановления усилителя})$.
2. $VOVDR2 = 2.5 \text{ V} = (\text{Отрицательная скорость нарастания}) * (\text{Время восстановления усилителя})$.
3. $VLIMI = 2.0 \text{ V} = (+\text{напряжение питания}) - (\text{максимум положительного выходного напряжения}) + 1 \text{ V}$.
4. $VLIM2 = 2.0 \text{ V} = (-\text{напряжения питания}) - (\text{максимум отрицательного выходного напряжения}) + 1 \text{ V}$.
5. Параметры диода: $I_s = 8e-16 \text{ A}$, другие по умолчанию.

Типичные значения для UA741 ОР АМР:

1. Время восстановления усилителя $5 \mu\text{S}$.
2. + питающего напряжения = 15 V .
3. - питающего напряжения = -15 V .
4. Максимум положительного выходного напряжения = 14 V .
5. Максимум отрицательного выходного напряжения = -14 V .

Тестовая цепь дана на рис. 6.26, иллюстрирующем эффекты перегрузки и сжимания выходного напряжения на буферной схеме единичного усиления. Тестовый входной сигнал – сигнал 1 kHz со следующими напряжениями (1) $vin1 = 10 \text{ V}$ пиковых, (2) $vin2 = 18 \text{ V}$ пиковых и (3) $vin3 = 22 \text{ V}$ пиковых. Соответствующие выходные диаграммы показаны на рис. 6.27. Показано, что увеличение сигналов перегрузки приводит к удлинению времени восстановления ОР АМР, прежде, чем усилитель возвращается к линейному поведению.

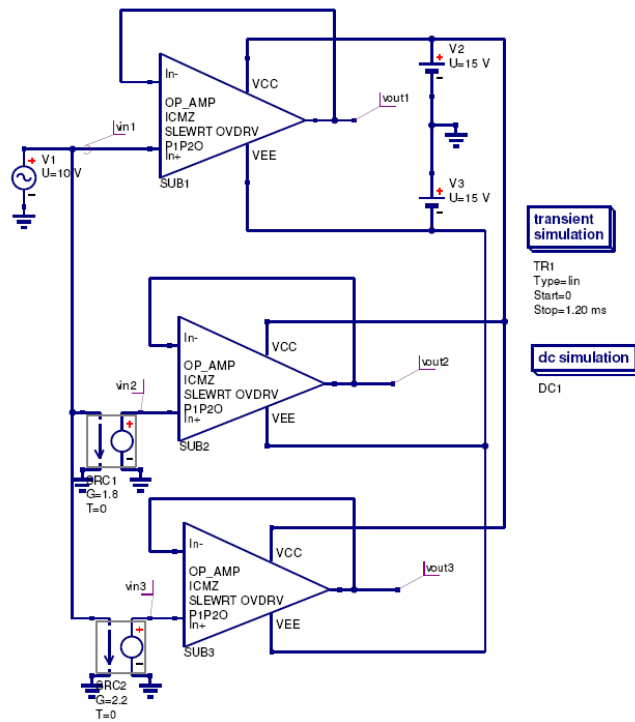


Рис. 6.26. Тестовая схема OP AMP перегрузки и ограничения выходного напряжения

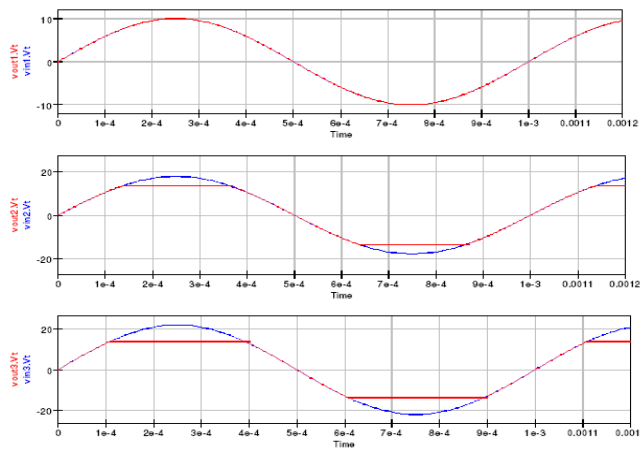


Рис. 6.27. Графики вывода OP AMP перегрузки и ограничения выходного напряжения для цепи, показанной на рис. 6.26

6.8.3 Моделирование ограничений OP AMP выходного тока

Большинство OP AMP общего назначения имеет цепи в схеме выхода для защиты устройства от токов перегрузки, создаваемой закорачиванием выходного вывода на землю или некоторых других ситуаций, где большие токи проходят через выходной каскад OP AMP. Электрическая сеть, показанная на рис. 6.28, работает как ограничитель тока: ток, проходящий между выводами P_IN1 и P_OUT1, отслеживается управляемым током генератором напряжения HCL1. Выход напряжения генератора HCL1 последовательно включен с управляемым напряжением генератором ECL1. Соединение этих генераторов сделано в противоположной полярности. Следовательно, когда ток нагрузки достигает максимума, допускаемого OP AMP, либо диод DCL1, либо DCL2 начинает сжимать выходное напряжение OP AMP, предупреждая увеличение выходного тока. Параметры для макро-модели ограничителя тока даются следующие

1. $RDCL1 = 100 \text{ M}\Omega$ = «Фальшивый» резистор.
2. $ECL1 G = 1$.
3. $HCL1 G = 36\Omega = 0.9 \text{ V}/(\text{максимум выходного тока A})$.
4. Параметры диода $I_s = 1e-15 \text{ A}$, другие по умолчанию.

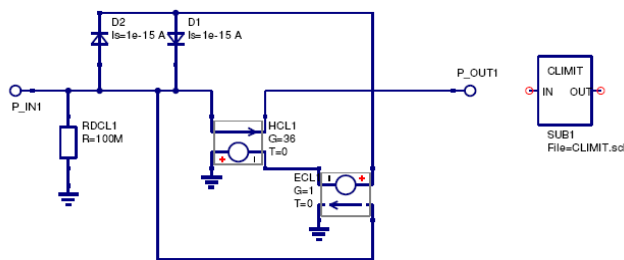


Рис. 6.28. Макро-модель OP AMP ограничителя выходного тока

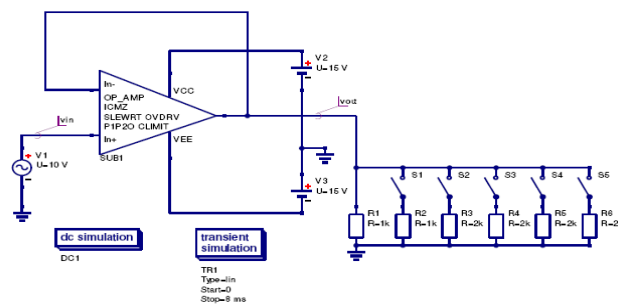


Рис. 6.29. Тестовая цепь OP AMP ограничителя выходного тока

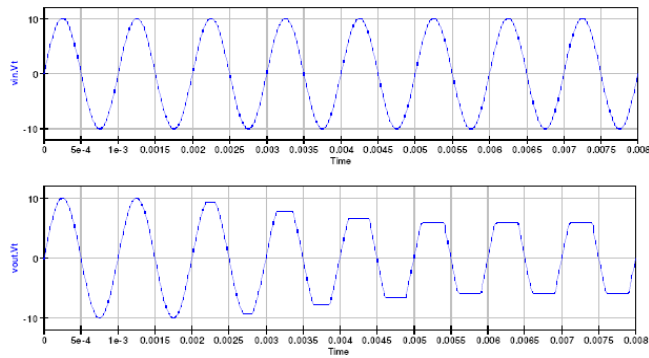


Рис. 6.30. Графический вывод симуляции для цепи рис. 6.29

Parameter	UA741	OP27	OP42	OPA134	AD746	AD826
Offset voltage (V)	7e-4	30e-6	4e-4	5e-4	3e-4	5e-4
Bias current (A)	80e-9	15e-9	130e-12	5e-12	110e-12	3-3e-6
Offset current (A)	20e-9	12e-9	6e-12	2e-12	45e-12	25e-9
Differential input res. (ohm)	2e6	4e6	1e12	1e13	2e11	300e3
Differential input cap. (F)	1.4e-12		6e-12	2e-12	5.5e-12	1.5e-12
Avd(0) dB	106	125	120	120	109	75
fp1 (Hz)	5	6	20	5	0.25	10e3
fp2 (Hz)	3e6	17e6	20e6	10e6	35e6	100e6
CMRR(0) dB	90	125	96	100	85	100
fcm (Hz)	200	2e3	100e3	500	3e3	2e3
GBP (Hz)	1e6	8e6	10e6	8e6	13e6	35e6
Rout (ohm)	75	70	50	10	10	8
Slew rate (V per micro sec.)	0.5	2.8	50	20	75	300
Overdrive recovery time (S)	5e-6		700e-9	0.5e-6		
DC supply current (A)	1.4e-3	2.5e-3	5.1e-3	4e-3	7e-3	6.6e-3
Short circuit output current(A)	34e-3	32e-3	30e-3	40e-3	25e-3	90e-3
Common-mode input res. (ohm)	1.3e8	2e9		1e13	2.5e11	
Common-mode input cap. (F)				5e-12	5.5e-12	

Таблица 6.1. Типичные параметры OP AMP, взятые из справочных данных устройства

Типичные значения для UA741 OP AMP тока короткого замыкания – 34 mA при 25⁰ C.

Рис. 6.29 и 6.30 показывают простую тестовую цепь ограничителя тока и результирующие графические выходы. В этих тестах время симуляции схемы управляет выключателями, уменьшающими резисторы нагрузки с интервалом в 1 mS. Когда ток нагрузки достигает, примерно, 34 mA выходное напряжение сжимается, предупреждая дальнейшее увеличение тока в нагрузке.

6.9 Получение параметров макро-модели ОР АМР из публикуемых данных устройства

Модульная макро-модель ОР АМР имеет одно очень явное преимущество по сравнению с другими моделями усилителей, именно, что она может получать параметры макро-модели непосредственно из общего набора характеристик, который можно найти у большинства производителей в справочных данных. Данные, показанные в таблице 6.1, являются типичными значениями, находящимися в справочных данных ОР АМР. В случаях, когда некоторые параметры не даны, для начала можно использовать значения, полученные из справочных данных аналогичного устройства. Значения элементов макро-модели затем вычисляются по уравнениям, приведенным в предыдущих разделах этого руководства. Как правило успеха, хорошей практикой служит проверка каждого блока в модульной макро-модели, прежде чем будет сконструирована полная макро-модель ОР АМР.

6.10 Более сложные примеры разработки

В этих разделах представлены два больших примера разработок. Что должно продемонстрировать характеристики разных ОР АМР макро-моделей, представленных в предыдущем тексте, и попытаться дать читателям руководство по коррекции модели при выборе конкретной симуляции.

6.10.1 Пример 1: Фильтр переменного состояния, разработка и симуляция

Цепь, данная на рис. 6.31 – это фильтр переменного состояния, который одновременно генерирует полосовой, высоких частот и низких частот отклики. Цепь состоит из ОР АМР сумматора и двух интегрирующих цепей и требует трех ОР АМР, двух конденсаторов и некоторого количества резисторов. Выбор типа ОР АМР для успешной работы с этим фильтром критичен, поскольку устройства с большим смещением напряжения будут приводить к насыщению интеграторов и схема не будет функционировать корректно. Для работы ниже 20 kHz ОР27 – это хороший выбор ОР АМР, поскольку у них низкое напряжение смещения в пределах μV . В этой симуляции обе характеристики, и DC, и переходная для малого сигнала AC, нужны, чтобы проверить разработку фильтра, следовательно макро-модель AC с параметрами DC, заложенными во входной каскад, позволят аккуратно моделировать представление фильтра⁵⁷. Вставленный на рис. 6.31 список DC выходных напряжений для каждого каскада ОР АМР, показывает, что интеграторы не насыщаются.

⁵⁷ Величина выходных сигналов от фильтра должна быть также проверена, чтобы удостовериться, что эти сигналы не превышают напряжений питания.

Разработка фильтра переменного состояния использует следующие уравнения:

1. Из принципа суперпозиции следует

$$v_{hp} = -\frac{R1}{R6}v_{in} - \frac{R1}{R7}v_{lp} + \left(1 + \frac{R1}{R7 \parallel R6}\right) \frac{R4}{R4 + R5}v_{bp} \quad (6.17)$$

Когда $R1 = R6 = R7$

$$v_{hp} = -v_{in} - v_{lp} + \frac{3R4}{R4 + R5}v_{bp} \quad (6.18)$$

2. Также

$$v_{bp} = -\frac{1}{j\frac{f}{f_0}}v_{hp} \quad (6.19)$$

где

$$f_0 = \frac{1}{2\pi R_2 C_1} = \frac{1}{2\pi R_3 C_2} \quad (6.20)$$

3. Похожим образом

$$v_{lp} = -\frac{1}{j\frac{f}{f_0}}v_{bp} = -\frac{1}{(\frac{f}{f_0})^2}v_{hp} \quad (6.21)$$

4. Следовательно

$$\frac{v_{hp}}{v_{in}} = \frac{(\frac{f}{f_0})^2}{1 - (\frac{f}{f_0})^2 + (\frac{j}{Q})(\frac{f}{f_0})} \quad (6.22)$$

Где

$$Q = \frac{1}{3}\left(1 + \frac{R5}{R4}\right) \quad (6.23)$$

5. Также

$$\frac{v_{bp}}{v_{in}} = \frac{j\frac{f}{f_0}}{1 - (\frac{f}{f_0})^2 + (\frac{j}{Q})(\frac{f}{f_0})} \quad (6.24)$$

6. Также

$$\frac{v_{lp}}{v_{in}} = \frac{-1}{1 - (\frac{f}{f_0})^2 + (\frac{j}{Q})(\frac{f}{f_0})} \quad (6.25)$$

Принимая $f_0 = 1$ kHz и требуемую ширину полосы пропускания полосового фильтра в 10 Hz, при установке $R1 = R6 = R7 = 47$ k Ω и $C1 = C2 = 2.2$ nF, вычисление дает $R2 = R3 =$

$72.33k^{58}$ В этой разработке $Q = 1k/10 = 100$. Следовательно установка $R4 = 1k\Omega$ даст $R5 = 294k\Omega$ (1 % отклонение).

Графики вывода симуляции для полосового фильтра даны на рис. 6.32⁵⁹. Когда фактор схемы Q уменьшается к нижним значениям, другие выходы фильтра работают, как традиционные фильтры верхних и нижних частот. Результаты симуляции для Q фактора единица показаны на рис. 6.33.

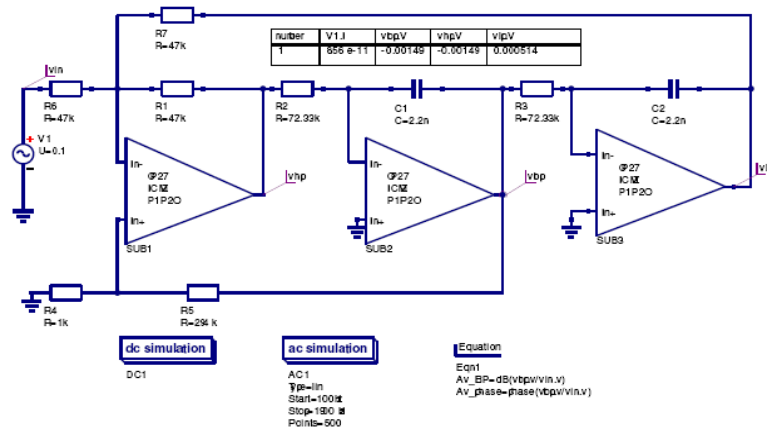
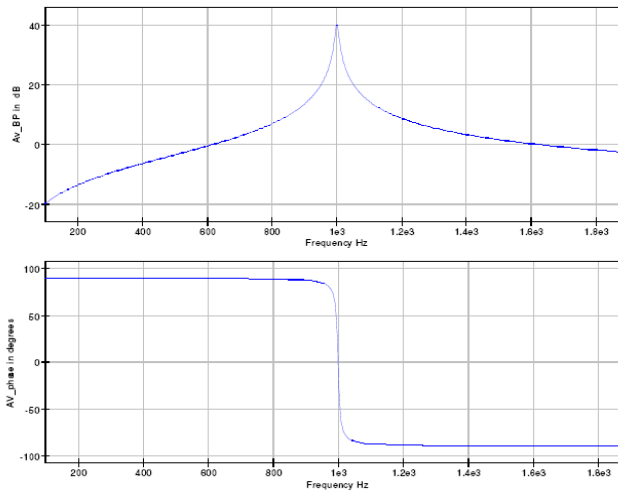


Рис. 6.31. Трех-каскадный ОП АМР перестраиваемый фильтр



58 Значения $R2$ и $R3$ нуждаются в уменьшении, если центральная частота фильтра и полоса требуют большей точности.

59 Заметьте, что входной сигнал v_{in} был установлен в $0.1V$ (пиковое значение). Цепь имеет Q фактор 100, что означает, что выходное напряжение пропускания $10V$ (пиковое). Входные сигналы амплитудой много больше, чем $0.1V$, похоже, приведут выходной сигнал в насыщение, когда питающее напряжение $\pm 15V$.

Рис. 6.32. Графический вывод симуляции для схемы рис. 6.31

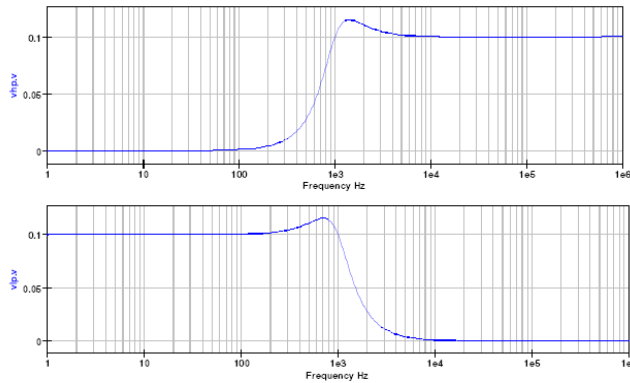


Рис. 6.33. Низкочастотная и высокочастотная характеристики для $Q = 1$, $R5=2k$.

6.10.2 Пример 2: Генератор синусоидального сигнала с осциллятором, использующим мост Вина

Синусоидальный осциллятор с мостом Вина стал классическим, благодаря его простоте и малым искажениям. Это идеальный объект для демонстрации свойств ОР АМР макро-моделей и действительного представления о симуляторах схем.

Показанное на рис. 6.34 – это базовый осциллятор с мостом Вина, который состоит из единственного ОР АМР с цепями положительной и отрицательной обратной связи.

Уравнения для этой цепи

1. Не инвертирующий усилитель.

$$\frac{v_{out}}{v_{+}} = 1 + \frac{R3}{R4} \quad (6.26)$$

2. К-т обратной связи.

$$b = \frac{v_{out}}{v_{+}} = \frac{1}{3 + j\left(\frac{f}{f_0} - \frac{f_0}{f}\right)} \quad (6.27)$$

Где $f_0 = \frac{1}{2\pi R1C1} = \frac{1}{2\pi R2C2}$

3. Петлевое усиление

Петлевое усиление осциллятора bA_v должно быть равно единице для стабильной генерации. Следовательно,

$$bA_v = \frac{1 + \frac{R3}{R4}}{3 + j\left(\frac{f}{f_0} - \frac{f_0}{f}\right)} \quad (6.28)$$

Кроме того, при $f = f_0$,

$$bA_v = \frac{1 + \frac{R3}{R4}}{3} \quad (6.29)$$

Задание R3/R4 немного больше двух приводит к тому, что осцилляция начинается и увеличивается по амплитуде в каждом цикле осцилляции. Если же R3/R4 меньше двух, осцилляция никогда не начнется или уменьшится до нуля.

Рис. 6.35 показывает набор графических выводов для осциллятора с мостом Вина. В этом примере ОП АМР моделируется с использованием ОР27 АС макро-модели. Это было сделано намеренно, чтобы продемонстрировать, что происходит при плохом выборе ОП АМР модели. Частота осцилляции 10 kHz с обоими конденсаторами обратной связи и резисторами, имеющими равные значения. Заметьте, что выходное напряжение осцилляции продолжает увеличиваться с увеличением времени, пока его значение не приблизится к пределу, установленному практическим напряжением питания ОП АМР. Нижняя из двух кривых на рис. 6.35 иллюстрирует спектр частот выходного сигнала осциллятора. Данные для этой кривой были сгенерированы с помощью функции Time2Freq. Добавление скорости нарастания и ограничения напряжения к макро-модели ОР27 ограничит выходное напряжение осциллятора (двойной амплитуды) значениями питающего напряжения ОП АМР. Диаграммы для этой симуляции показаны на рис. 6.36. При анализе данных реакции переходных процессов с использованием функции Time2Freq благоразумно ограничить анализ диапазоном отклика, где выходной график достигает устойчивого состояния, иначе частотный спектр будет включать эффекты, связанные с возрастанием, или спадом переходного процесса. Сеть ограничения напряжения сжимает выходное напряжение осциллятора, ограничивая его размах ниже напряжения питания ОП АМР. Сжатие очень хорошо видно на рис. 6.36. Заметьте также, что выходной график искажен, и что нет больше чисто синусоидального графика с частотой 10 kHz. Нечетные гармоники отчетливо видны, а основная частота уменьшена из-за искажений насыщения сигнала. В практических осцилляторах с мостом Вина выходной график должен быть чисто синусоидальным с нулевыми или маленькими гармоническими искажениями. Один из путей добиться этого, изменить усиление ОП АМР с помощью изменения уровня сигнала: когда выходной сигнал увеличивается, тогда A_v уменьшается, или когда уровень выходного сигнала уменьшается, A_v увеличивается. В любое время параметры цепи изменяются, чтобы поддержать условие $bA_v = 1$. Цепь, показанная на рис. 6.37, использует два диода и резистор для автоматического изменения ОП АМР усиления в петле обратной связи с изменением уровня сигнала. Рис. 6.38 показывает соответствующие выходные графики для цепи с мостом Вина и автоматическим управлением усилением. Изменение значения резистора R5 приводит к тому, что амплитуда выходного напряжения осциллятора стабилизируется при разных значениях, уменьшение R5 также уменьшает v_{out} . Версия осциллятора с мостом Вина и автоматическим управлением усилением также уменьшает величину гармонических

искажений, производимых осциллятором. Это ясно видно на рис. 6.38. Изменение частоты осциллятора может быть достигнуто либо изменением величины конденсатора, или значения резистора в цепи обратной связи β . Для демонстрации того, как это может быть сделано с помощью Qucs, посмотрите на схему рис. 6.39. На этой схеме переключатели, управляемые по времени, изменяют значения обоих конденсаторов в процессе симуляции. Записанные выходные графики для этой цепи показаны на рис. 6.40.

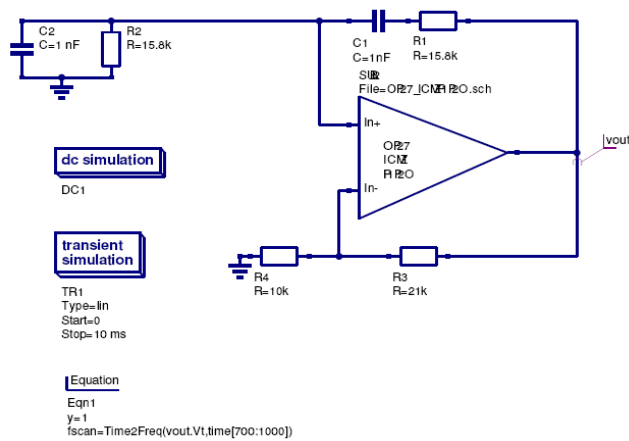


Рис. 6.34. Классический синусоидальный осциллятор с мостом Вина

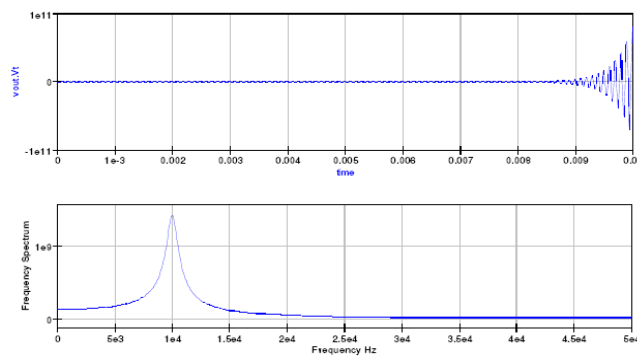


Рис. 6.35. Графики симуляции для цепи, показанной на рис. 6.34 – OP27 AC макро-модель

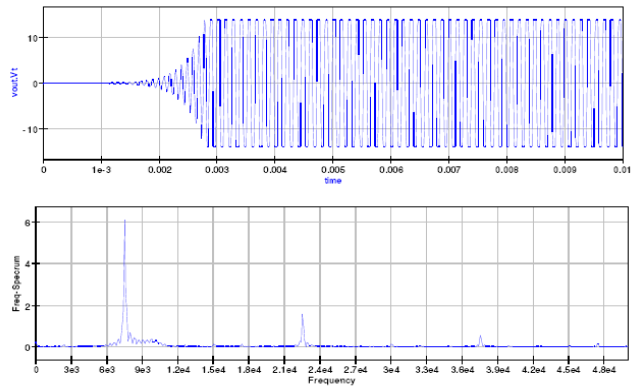


Рис. 6.36. Диаграммы симуляции для цепи, показанной на рис. 6.34 – OP27 AC + скорость нарастания + vlimit макро-модель

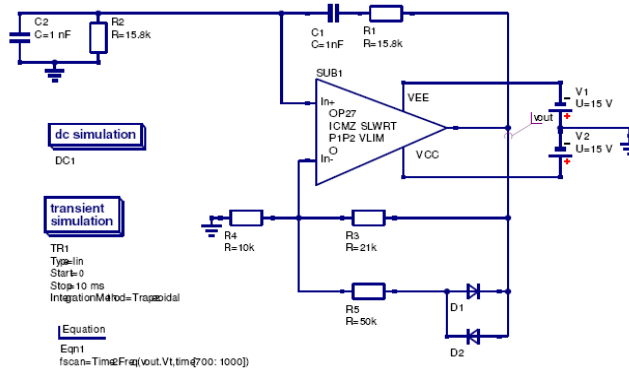


Рис. 6.37. Осциллятор с мостом Вина и АРУ

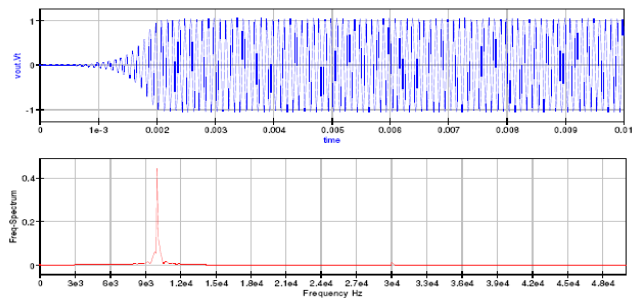


Рис. 6.38. Графики симуляции для цепи рис. 6.37 – OP27 AC + скорость нарастания + vlimit макро-модель

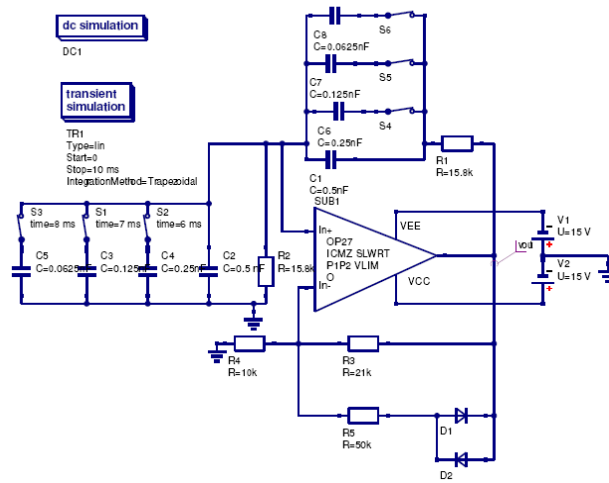


Рис. 6.39. Осциллятор с мостом Вина и управлением частотой переключением конденсаторов

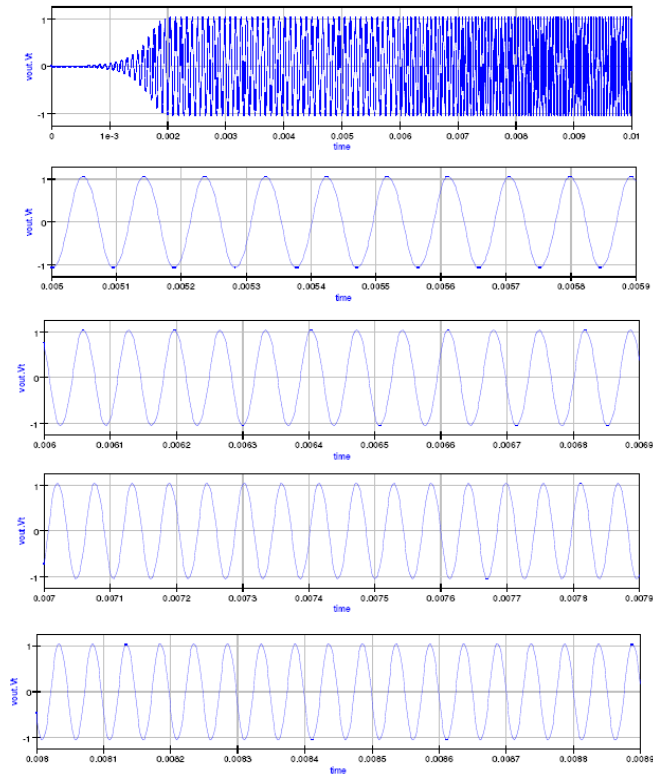


Рис. 6.40. Диаграммы симуляции цепи рис. 6.39 – OP27 АС + скорость нарастания + vlimit макро-модель

6.11 Заключительные замечания

При написании этого руководства я попытался продемонстрировать, как можно конструировать практические модели операционных усилителей, используя базовые концепции электроники и ряд встроенных моделей Qucs, включенных в выпуск 0.0.9. Модульная макро-модель ОР АМР была намерено выбрана, как фундаментальная для руководства по двум причинам. Во-первых, Qucs выпуска 0.0.9 достаточно подготовлен для симуляции таких моделей, и, во-вторых, параметры, которые определяют операции макро-модели, могут легко вычисляться из информации, предоставляемой в справочных данных. Это руководство должно рассматриваться прежде всего, как рабочее пособие, поскольку некоторые важные свойства ОР АМР не включались в макро-модели, описанные в предыдущих разделах. Это, например, отклонения питающего напряжения и шумовые свойства. В будущем, если пользователи Qucs найдут эти заметки полезными, и, фактически, если отклики на них будут положительными, я предполагаю обновить руководство по моделированию ОР АМР. Другие важные разделы будут также добавлены, когда модели нелинейных управляемых источников из списка to-do будут добавлены Stefan в Qucs. Тогда появится возможность расширить ряд моделей, которые сможет симулировать Qucs, включением модели Boyle и более развитых вариантов, которые часто включаются в справочные данные производителей устройств. Мои благодарности Dr. David Faulkner⁶⁰ за его помощь и поддержку во все время нашей работы над многими концепциями, сформировавшими базис этого руководства. И опять, большое спасибо Michael Margraf и Stefan Jahn за всю их помощь и ободрение, пока я писал это руководство и проверял множество примеров, включенных в него.

⁶⁰ Department of Computing, Communications Technology and Mathematical Science, London Metropolitan University, UK.

7 Моделирование таймера 555

7.1 Введение

Таймер 555 был разработан Hans R. Camenzind в 1970⁶¹ и впервые произведен Signetics в период 1971-1972⁶². Устройство первоначально называлось «IC машина времен» и имело спецификацию SE555/NE555. За последние 30 с небольшим лет более десятка разных компаний производителей полупроводниковых микросхем выпускали 555, сделав ее самой популярной IC всех времен⁶³. По сей день он еще активно используется в широком диапазоне схемных приложений.

Таймер 555 один из первых примеров смешанных IC цепей, которые включают и аналоговые, и цифровые компоненты. Первоначальное назначение таймера 555 – генерация одиночных импульсов точной длительности или работа в режиме осциллятора. Добавлением одного или двух дополнительных резисторов и одного конденсатора устройство превращается в одно-вибратор или мультивибратор.

Таймер 555 – устройство, которое трудно симулировать. Во время схемных операций он быстро переключается между двумя разными DC состояниями⁶⁴. Столь быстрые изменения могут стать причиной ошибок сходимости симулятора DC и анализатора переходных процессов. Большинство популярных симуляторов включают некоторую форму модели таймера 555, либо встроенную, либо как подсхему, которая функционирует до некоторой степени. Эти модели обычно включают сколько-то р-п переходов и нелинейные управляемые источники, делающие время симуляции больше, чем с более простыми моделями. Сердце таймера 555 – это два компаратора и триггер с установкой/сбросом. Блок-диаграмма основных функциональных элементов, составляющих таймер 555, показана на рис. 7.1.

Текущий выпуск Qucs не включает модель для таймера 555. Цель работы, представленной в этих заметках руководства, была разработать рабочую модель таймера 555, которая эффективно симулируется и базируется только на схемных компонентах, реализованных в Qucs 0.0.10. Кроме того, при разработке Qucs 555 модели в каждом случае делались попытки свести количество р-п переходов к

61 См. "The 555 Timer IC. An interview with Hans Camenzind -The designer of the most successful integrated circuit ever developed", <http://semiconductormuseum.com/Transistors/LectureHall/Camenzind/>

62 Сейчас часть организации Philips.

63 Сегодняшний каталог производителей показывает, что таймер 555 популярен как никогда, например, Samsung (Korea) произвела более одного миллиарда устройств в 2003; см. Wikipedia статью на <http://en.wikipedia.org/>

64 Обычно между землей и напряжением, подключенным к шине питания VCC.

минимуму, придавая модели и простоту, и уменьшая время симуляции схем. Стержнем такого подхода становится упрочившаяся техника макро-моделирования, где сигналы от выводов таймера правильно моделируют реальные сигналы устройства, но внутренние сигналы макро-модели подчас никак не соотносятся с аналогичными в реальном устройстве. Изнутри макро-модель просто пропускает информацию входных и выходных сигналов, в нужном формате, на выходные выводы устройства. И нет другого пути попытаться симулировать реальную схему таймера 555.

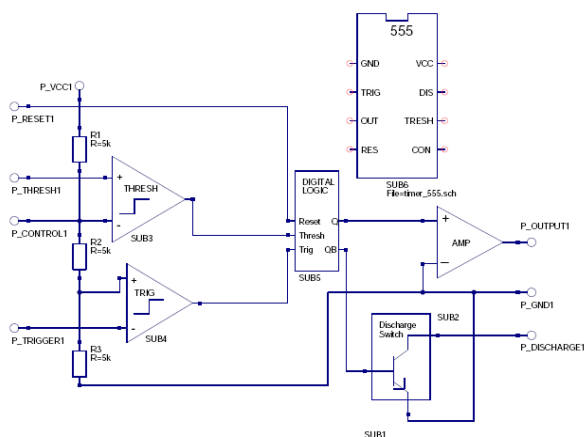


Рис. 7.1. Функциональная блок-диаграмма таймера 555

7.2 Модель Qucs таймера 555

Рис. 7.1 показывает новую модель Qucs таймера 555. В этой модели каждый из основных функциональных блоков был разделен на макро-модельную подсхему, группирующую похожие типы компонент вместе. Существенно, что модель включает только стандартные компоненты Qucs, которые работают вместе для создания корректных выходных сигналов путем тщательного выбора пороговых параметров, ограничений напряжения, логических уровней и времен фронтов. Эти заметки больше концентрируются на объяснении структуры и параметров подсхем макро-модели, которые формируют модель таймера 555, чем на описании функционирования устройства⁶⁵. Таймер 555 – устройство с 8 выводами:

- Вывод 1 Земля [GND] – наибольшее отрицательное напряжение питания, подключенное к устройству, обычно это общий провод, ground (0V).
- Вывод 2 Триггер [TRIG] – входной вывод нижнего компаратора. Используется для установки RS-защелки.

⁶⁵ Хорошее руководство по работе таймера 555 можно найти на <http://www.uoguelph.ca/~antoon/gadgets/555/555.html>

- Вывод 3 Выход [OUT] – вывод выходного сигнала таймера 555.
- Вывод 4 Сброс [RES] – используется для сброса RS-защелки.
- Вывод 5 Управление [CON] – точка прямого доступа к узлу делителя (2/3)VCC. Используется для установки опорного напряжения для верхнего компаратора.
- Вывод 6 Порог [THRESH] – входной вывод верхнего компаратора. Используется для сброса RS-защелки.
- Вывод 7 Разряд [DIS] – вывод коллектора при ВТТ переключателя. Используется для разряда внешнего время-задающего конденсатора.
- Вывод 8 VCC [VCC] – наибольшее положительное напряжение питания, подключенное к устройству, обычно это 5V, 10V или 15V.

7.2.1 Макро-модель переключающего компаратора

Входные выводы триггерного компаратора соединены между узлом делителя (1/3)VCC и выводом 2 корпуса устройства (TRIG). Входной переключающий сигнал, опускаясь ниже напряжения узла делителя (1/3)VCC, приводит к тому, что переключается выходное напряжение триггера, устанавливая RS-защелку в подсхеме цифровой логики. Это действие также вызывает установку выходного сигнала таймера 555 в высокое состояние. Вход триггера чувствителен к уровню сигнала. Переключение произойдет, если переключающий импульс удерживается чуть дольше длительности выходного импульса таймера 555. Цепь переключающего компаратора также имеет время сохранения в несколько микросекунд, ограничивая минимальный выходной импульс длительность около 10μS. DC ток, обычно связываемый с током переключения, проходит от вывода устройства 2 (TRIG) во внешнюю цепь. Он имеет типичное значение 500 пА, устанавливая верхний предел для резистора, который может быть подключен между выводом 2 и землей⁶⁶. Диаграмма макро-модели цепи триггерного компаратора показана на рис. 7.2. Дифференциальный входной сигнал воспринимается операционным усилителем OP1. Его усиление задано в 1е6, давая разрешение входного дифференциального сигнала 1μV. OP1 выходное напряжение ограничено до ±1V. Заметьте, что верхний +1V уровень сигнала относится к сигналу логической «1». И, наконец, выходное напряжение триггерного компаратора имеет времена фронтов, задаваемые временной константой R1 * C1. Эта цепь также добавляет задержку времени в макро-модель компаратора.

⁶⁶ При VCC = 5V этот резистор, примерно, 3.3M.

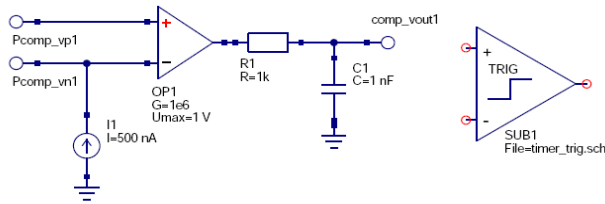


Рис. 7.2. Макро-модель триггерного компаратора

7.2.2 Макро-модель порогового компаратора

Макро-модель порогового компаратора показана на рис. 7.3. Она очень похожа на макро-модель триггерного компаратора; одна заметная разница есть в размере и направлении вывода 6 (THRES), порога DC тока, который обычно составляет 100nA и проходит к выводу 6 от внешней цепи⁶⁷. Пороговый компаратор используется для сброса RS-зашелки в блоке цифровой логики таймера 555, вызывая переход выхода таймера 555 в состояние низкого напряжения. Сброс происходит, когда сигнал, приложенный к внешнему выводу 6 (THRES), меняется снизу-вверх к напряжению узла делителя $(2/3)VCC$. Опять же, пороговый вход чувствителен к уровню.

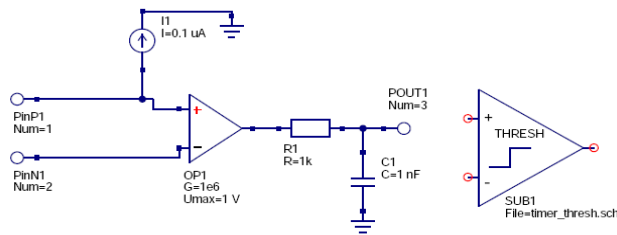


Рис. 7.3. Макро-модель порогового компаратора

Set (S)	Reset (R)	Q (P-Q1)	QB (P-QB1)	Notes
1	0	1	0	Set state
0	0	1	0	
0	1	0	1	Reset state
0	0	0	1	
1	1	0	0	Undefined

Таблица 7.1. Таблица истинности для SR-зашелки, собранной с использованием вентилях NOR

⁶⁷ Порог DC тока устанавливает верхний предел значения внешнего резистора, который может быть подключен между выводом 6 и питающим VCC – для VCC = 5V это приблизительно 16M, при VCC = 15 V значение увеличивается, примерно, до 20M.

7.2.3 Макро-модель цифровой логики

Макро-модель цифровой логики состоит из SR-защелки с дополнительной комбинацией вентилях на входе модели, см. рис. 7.4. Таблица истинности для SR-защелки приведена в таблице 7.1. Все вентили в макро-модели имеют логическую «1», установленную в 1V и логический «0», задаваемый 0V. RC временная цепь была добавлена к выходу каждого вентиля, обеспечивая конечное время фронтов, вместо значения по умолчанию Qucs равного нулю секунд⁶⁸. Входные сигналы вентилях со значениями меньше, чем пороговое напряжение вентиля, (0.5V) считаются логическими сигналами «0». Логический сигнал «0» на выводе 4 (RES) таймера 555 также сбрасывает SR-защелку, вызывая переход выходного сигнала, вывод 3 (OUT), в низкое состояние. Сигнал сброса – сигнал перегрузки в том смысле, что он заставляет перейти выходной сигнал таймера в низкий уровень, независимо от сигналов на других выводах входов. Сброс имеет время задержки, приблизительно, 0.5μs, делая минимальную длительность импульса сброса около 0.5μs. Сигнал сброса инвертирован, а затем соединен по OR с выходным сигналом порогового компаратора.

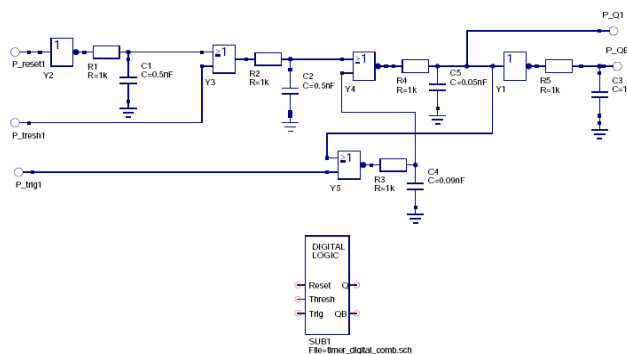


Рис. 7.4. Макро-модель цифровой логики

7.2.4 Макро-модель выходного усилителя таймера 555

Иллюстрация на рис. 7.5 – это макро-модель выходного усилителя таймера. Это простая модель, созданная из блока усиления плюс резистор для представления выходного сопротивления таймера 555. Блок усиления по напряжению имеет значение заданное в 3.5 на рис. 7.5. Это значение, необходимое для масштабирования сигнала логической «1» к требуемому выходному напряжению выхода таймера, вывод 3 (OUT). Это значение корректируется только для питающего напряжения VCC,

⁶⁸ В смешанных цепях симуляция переходных процессов может обнаруживать проблемы, когда устройства меняют состояние в ноль секунд, см. последние заметки с примечаниями по этой теме.

установленного в 5V, и должно меняться для других значений напряжения⁶⁹.

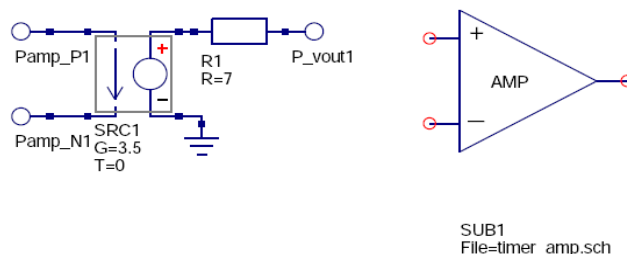


Рис. 7.5. Макро-модель выходного усилителя

7.2.5 Макро-модель коммутатора разряда

Макро-модель переключателя разряда показана на рис. 7.6. Подобно реальному таймеру 555 коммутатор разряда макро-модели базируется на pnp транзисторе. Сигнал логической «1», приложенный к выводу `pin_control_in1` включает pnp транзистор, приводя к тому, что путь от коллектора (таймер 555, вывод DIS) к земле становится низкоомным. И через эту ветвь внешний конденсатор таймера разряжается. Обратная картина наблюдается, когда входное управляющее напряжение становится логическим «0». В этом случае ветвь от коллектора к земле имеет очень большое сопротивление. Резистор R1 включен в макро-модель для ограничения pnp тока базы, когда ВТТ включается. Аналогично, резистор R2 был добавлен в модель для ограничения тока разряда внешнего конденсатора⁷⁰.

⁶⁹ В настоящее время Qucs не позволяет передавать параметры в подсхемы, делая затруднительным написание обобщенных макро-моделей. Добавление передачи параметров в подсхемы и вычисления значений компонент с использованием уравнений есть в списке to-do. Предлагаемые значения для усилительного каскада: (1) $VCC = 5V$, $G = 3.5$, (2) $VCC = 10V$, $G = 8.5V$ и (3) $VCC = 15V$, $G = 13.5$. Эти значения усиления корректны для падения напряжения в каскадном выходе усилителя таймера 555.

⁷⁰ Обычно внешний время-задающий конденсатор разряжается через резистор, последовательно включенный между коллектором и землей. Однако, если этот последовательный резистор очень мал, или фактически отсутствует, теоретически возможно для тока разряда стать очень большим, что, в свою очередь, приведет к ошибке сходимости DC или очень большим временам симуляции переходного процесса.

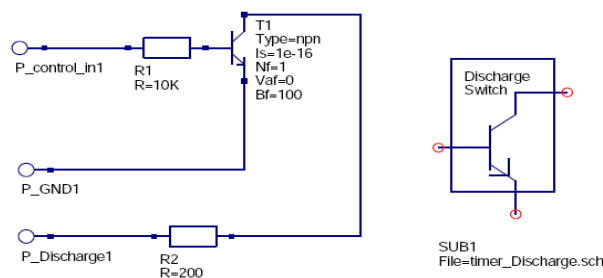


Рис. 7.6. Макро-модель коммутатора разряда

7.3 Опубликованные тестовые схемы с таймером 555

Большинство производителей ограничивается в спецификации их таймера 555 рядом основных схем применения⁷¹. Некоторые из этих схем представлены, как серия тестов симуляции. Условия, выбранные для тестов симуляции, следующий:

- Метод интеграции Gear, порядка 6 (этот метод работает хорошо с цепями, содержащими временные константы с очень разными значениями)⁷².
- Входные сигналы запуска имеют конечное время фронтов, обычно наносекундное (проблемы могут обнаружиться, когда сигналы запуска имеют либо нулевые, либо очень маленькие времена фронтов, часто симулятор будет уменьшать шаг анализа переходного процесса в попытках уменьшить ошибку, что, в свою очередь, может существенно увеличить времена симуляции).
- Параметр симуляции переходного процесса MinStep установлен в одну сотую, или меньше, наименьшего времени фронта в цепи (не забывайте, задание разумных времен симуляции и точности обычно освобождает от проблем с DC сходимостью или временем шага в анализе переходных процессов).

7.3.1 Одно-стабильный генератор импульсов с таймером 555

Рис. 7.7 показывает схему базового одно-стабильного генератора на таймере 555.

⁷¹ См., например, раздел "Applications Information" в справочных данных National Semiconductor LM555 Timer, July 2006, www.national.com.

⁷² Один из тестов симуляции также представляет результаты использования стандартного интеграционного метода трапеций второго порядка.

Ширина выходного импульса задается уравнением $T = 1.1 * R5 * C1$; при $R5 = 9.1k$ и $C1 = 0.01\mu F$, $T = 1ms$. Рис. 7.8 показывает графики симуляции для одно-стабильного осциллятора.

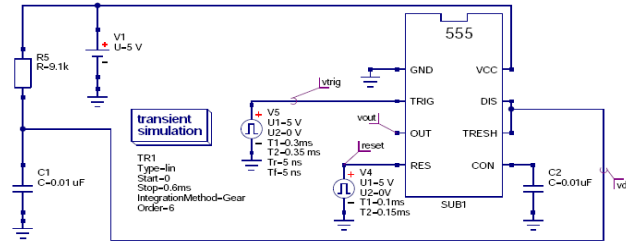


Рис. 7.7. Базовый одно-стабильный генератор импульсов на таймере 555

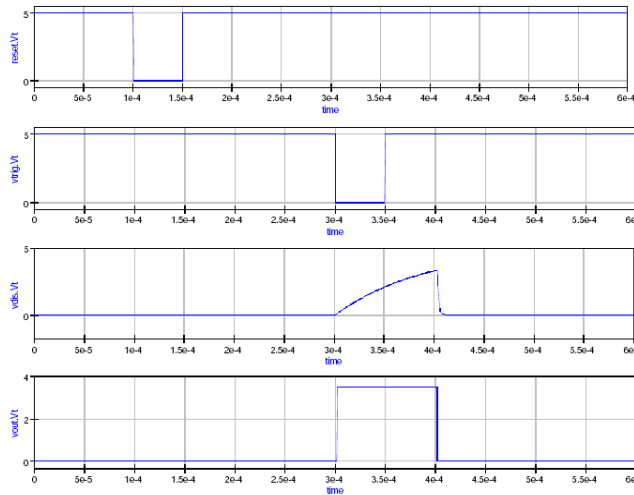


Рис. 7.8. Графики симуляции для базового одно-стабильного генератора импульсов

7.3.2 Осциллятор на таймере 555

Рис. 7.9 показывает схему базового автоколебательного импульсного генератора на таймере 555. Время заряда конденсатора $C1$ дается: $t_c = 0.693(R5 + R6)C1$ секунд, и разряда: $t_d = 0.693(R6)C1$ секунд. Следовательно, период и частота осцилляции:

$$T = t_c + t_d = 0.693(R5 + 2R6)C1 \text{ секунд, и } f = \frac{1.44}{(R5 + 2R6)C1} \text{ Hz.}$$

Рабочий цикл для выходного графика таймера задается $D = \frac{R6}{R5 + 2R6}$.

Рис. 7.10 иллюстрирует график симуляции для автоколебательного осциллятора. Когда резистор R6 шунтируется диодом, конденсатор C1 заряжается через резистор R5 и разряжается через резистор R6. При задании $R5 = R6$ получается 50и-процентный рабочий цикл⁷³, см. рис. 7.11 и 7.12.

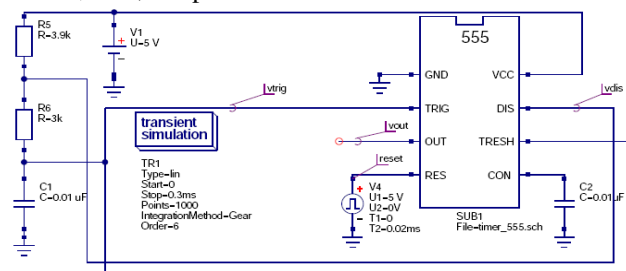


Рис. 7.9. Импульсный автогенератор с таймером 555

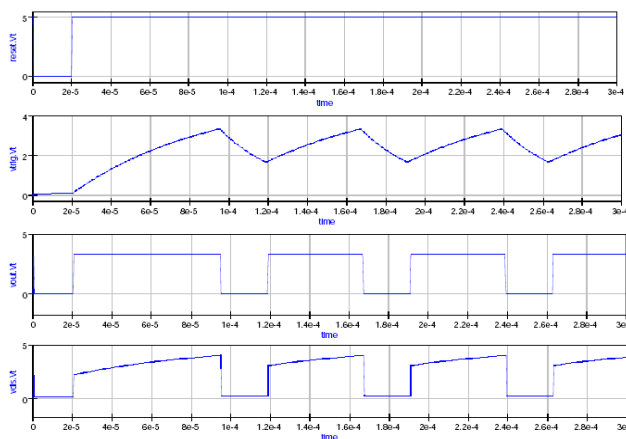


Рис. 7.10. Графики симуляции для базового импульсного автогенератора

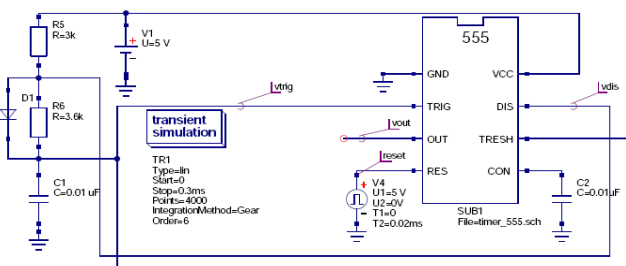


Рис. 7.11. Импульсный автогенератор с 50-и процентном циклом на таймере 555

⁷³ Значение R6 нужно подобрать, чтобы получить рабочий цикл точно 50и-процентным.

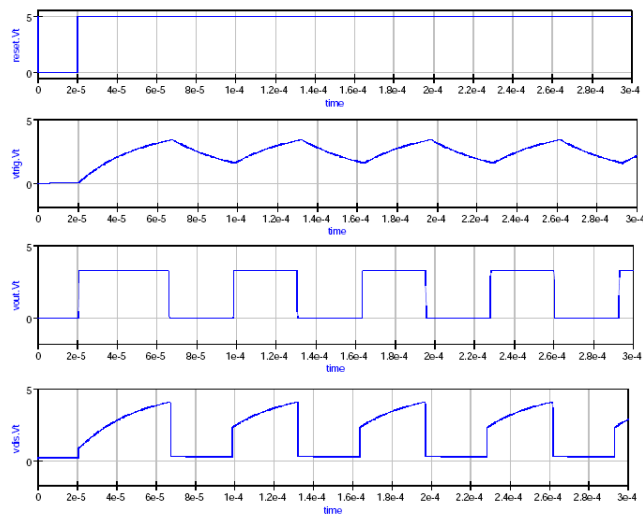


Рис. 7.12. Графический вывод симуляции для 50и-процентного цикла импульсного автогенератора

7.3.3 Модификация ширины импульса

Переключение таймера 555 в одно-стабильном режиме с продолжительной последовательностью импульсов позволяет модифицировать ширину выходных импульсов изменением амплитуды сигналов, приложенных к управляющему входу вывода 5 (CON). Пример схемы модуляции ширины импульсов дан на рис. 7.13. На этой схеме компоненты C2, R6 и D1 конвертируют управляющий сигнал таймера 555 в переключающий задним фронтом сигнал. Это можно увидеть на рис. 7.14, который показывает графики переключения, разряда и результирующий выходной сигнал. Управляющий вывод таймера 555 запитан от источника импульсного напряжения. Спецификация управляющего графического вывода была выбрана для генерации сигнала треугольной формы, так что модуляция ширины импульсов может быть ясно показана как изменение амплитуды управляющих сигналов.

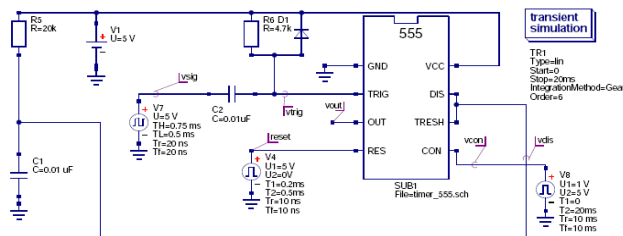


Рис. 7.13. Схема модулятора ширины импульсов на таймере 555

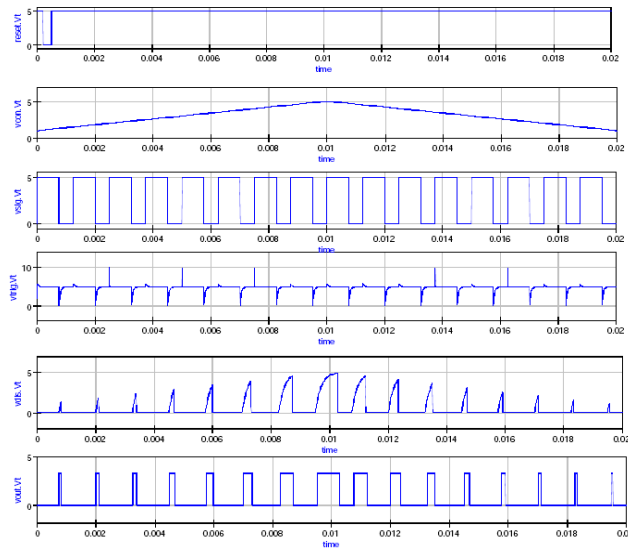


Рис. 7.14. Графики симуляции модулятора ширины импульсов

7.3.4 Модуляция позиционного импульса

Модулятор позиционного импульса может быть собран из автоколебательного генератора показанного на рис. 7.9. Модулирующий сигнал приложен ко входу управления, вывод 5 (CON); см. рис. 7.15. Этот сигнал приводит к тому, что позиция импульса варьируется с амплитудой модулирующего сигнала. Типовой набор графиков симуляции для этой схемы показан на рис. 7.16. Это очень трудная для симуляции схема. И это один из случаев, когда трапецидальный метод интеграции работает успешно, тогда как интеграционный метод Gear шестого порядка аварийно завершается⁷⁴. Заметьте, что результаты метода трапеций были получены с использованием 30000 точек, начальный шаг = 0.001 nS, MinStep = 1e-16, MaxIter = 5000, abstol = 10uA и vntol = 10uV.

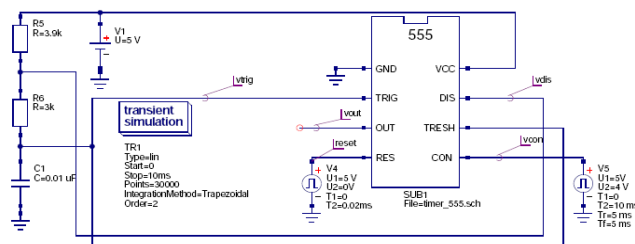


Рис 7.15. Схема модулятора позиционного импульса с таймером 555

⁷⁴ Симуляция переходного процесса никогда не завершается и может быть прекращена щелчком по клавише прекращения симуляции.

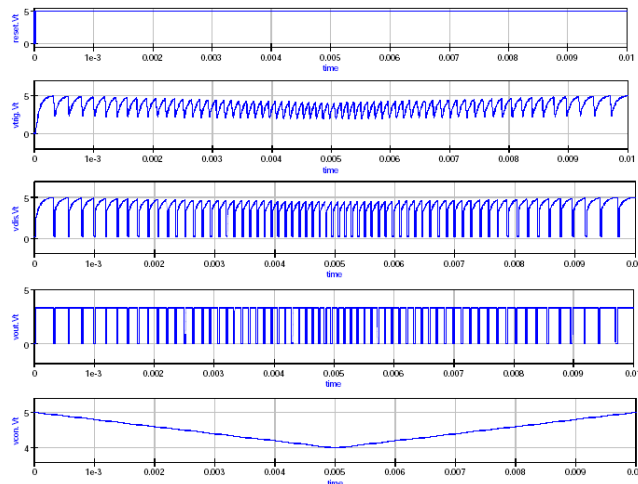


Рис. 7.16. Графические выходы симуляции модулятора позиции импульса, полученные с помощью интеграционного метода трапеций

7.4 Примеры симуляции с несколькими таймерами 555

Убедившись в последнем разделе, что новая Qucs модель таймера 555 может симулировать стандартные схемы приложений, перечисленные в справочных данных, в этой части руководства представим два следующих, более сложных примера, демонстрирующих, как таймер 555 используется на практике.

7.4.1 Генерация последовательной серии импульсов

Частое практическое применение таймер 555 находит в генераторах тактовых импульсов для целей управления. Схема на рис. 7.17 показывает ряд одно-стабильных генераторов импульсов, соединенных последовательно и параллельно. После сброса схемы спадающим фронтом входного импульса v_{in} включается генерация последовательности импульсов. Длительность каждого одно-стабильного импульса устанавливается внешними конденсаторами от C1 до C4⁷⁵. Спецификация подсхемы одно-стабильного импульсного генератора дана на рис. 7.18. Генератор последовательности импульсов – составная схема с:

60 R образам, 40 C образам, 4 VCVS образам, 1 Vdc образам,
8 Idc образам, 2 Vpulse образам, 8 OpAmp образам, 4 Diode образам,
4 VJT образам, 8 Inv образам, 8 NOR образам и 4 OR образам.

⁷⁵ Длительность импульсов, устанавливаемая C1 – C4 на рис. 7.17, имеет простой выбор для целей демонстрации и не представляет какой-либо особенной управляющей временной последовательности.

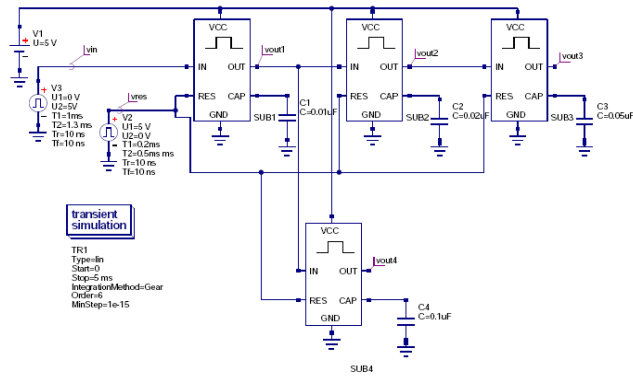


Рис. 7.17. Схема генератора последовательности импульсов

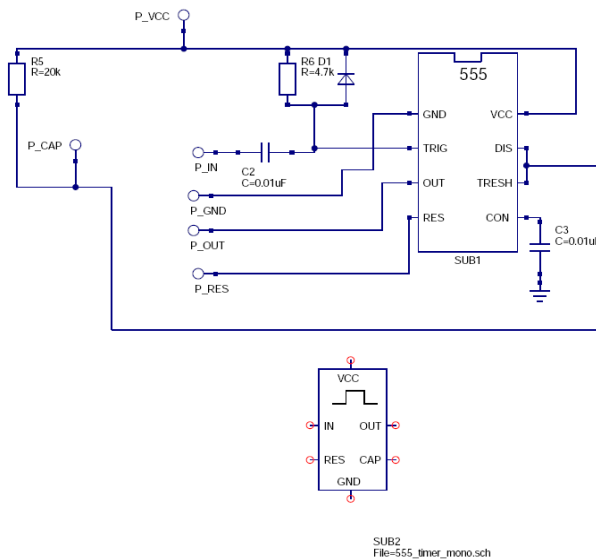


Рис. 7.18. Подсхема одно-стабильного импульсного генератора

Большое число компонент, и действительная сложность схемы, имеет тенденцию к тому, чтобы время симуляции схемы генератора серии импульсов стало много больше обычных времен записи, когда симулируется единственная цепь таймера 555. Проблемы DC сходимости и ошибки временного шага анализа переходного процесса могут вызвать проблемы из-за разрывности переключения, так что не лишним будет тщательный выбор параметров нелинейных диодов и естественных условий анализа переходных процессов. На рис. 7.18 диод используется для сжимания сигнала переключающего входа таймера 555 до пяти вольт, когда сигнал возрастает выше 5

вольт. Параметры диода Qucs по умолчанию похожи на заданные в SPICE⁷⁶. По умолчанию постоянная эмиссии диода установлена в 1, а последовательный с диодом резистор в ноль Ом. Ни одно из этих значений не представительно для кремниевых диодов. Для кремниевых устройств, в отличие от германиевых диодов, n нужно задать между, примерно, 1.5 и 2. Аналогично, все диоды имеют некоторые последовательные резисторы, часто в диапазоне от 0.1 до 10 Ом, в зависимости от мощности диода. Для облегчения симуляции эти значения были установлены в $n = 2$ и $R_s = 10$ Ом. Рис. 7.19 показывает типичный набор сигналов графического вывода, полученный при симуляции генератора последовательности импульсов. Условия симуляции, выбранные для получения этих результатов: метод интеграции = Gear, порядок = 6, $initialStep = 1$ ns, $MinStep = 1e-15$, $reltol = 0.001$, $abstol = 10\mu A$, $vntol = 10\mu V$, Solver = CroutLU и $initialDC = yes$.

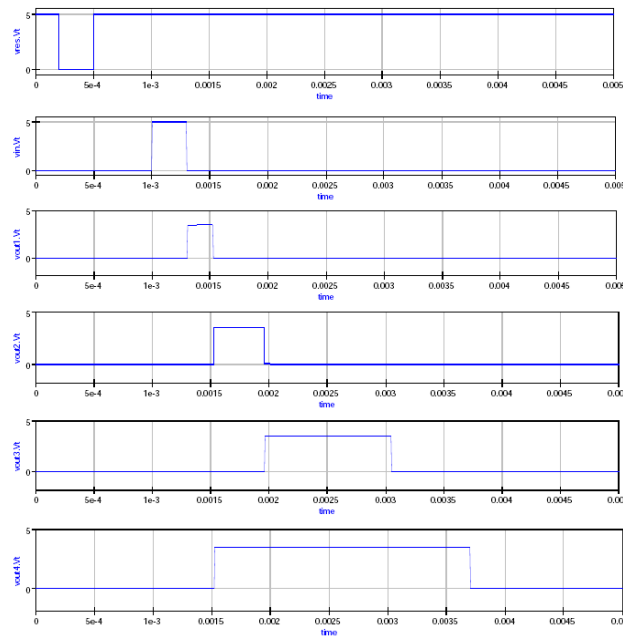


Рис. 7.19. Графики симуляции для моно-стабильного генератора импульсов

7.4.2 Схема делителя частоты

Общее требование в обоих режимах, и при разработке цифровых, и смешанных цепей – это деление частоты, где последовательность импульсов высокой частоты, получаемая часто от кварцевого генератора, делится на более низкие частоты⁷⁷.

⁷⁶ Предопределенные значения установлены в ранней версии SPICE, возможно, версии 1, и, похоже, не менялись при дальнейшей проработке симулятора.

⁷⁷ Часто результирующая частота в диапазоне от 1 до 5 Hz и используется для мигания LED, или каких-то других оптических индикаторов, включено/выключено.

Классический пример деления таких сигналов – использование цепочки триггеров, каждый из которых соединяется как делитель на два. Таймер 555 может также использоваться для деления частоты импульсов⁷⁸. Схема, показанная на рис. 7.20, – базовая схема одно-стабильного режима 555 с последовательностью импульсов приложенной ко входу переключения таймера 555, вывод 2 (TRIG). В предыдущих разделах этих заметок пояснялось, что вход триггерного компаратора 555 чувствителен к уровню сигнала, и переключение происходит, если длительность низкого уровня импульса больше длительности одно-стабильного импульса. На рис. 7.20 длительность одно-стабильного импульса 0.22ms и параметр прямоугольного напряжения генератора TL – 0.5ms, который приводит к появлению переключения. Эффекты переключения могут просматриваться на рис. 7.21. Применение таймеров 555 для деления частоты базируется на одно-стабильной схеме, показанной на рис. 7.20 и, следовательно, разработчики схемы должны удостовериться, что переключение имеет место. Иллюстрация рис. 7.22 – это двух-каскадный делитель частоты, где каждый каскад делит последовательность входных импульсов на пять, давая общее деление всей схемы равное двадцати пяти. Выходные графики для этой схемы показаны на рис. 7.23. При разработке схем делителя частоты на таймере 555 хорошо бы сделать, чтобы период таймера 555 был установлен в $(N-0.5)$ времени периода входной последовательности импульсов⁷⁹, где N к-т деления и должен быть в диапазоне $2 \leq N \leq 10$.

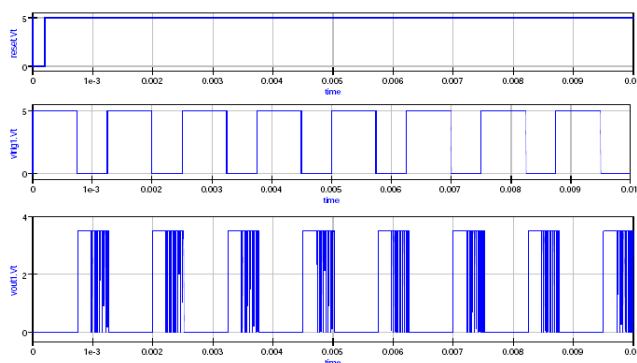


Рис. 7.21. Графика симуляции для схемы рис. 7.20, показано переключение таймера 555

⁷⁸ Таймеры 555 обычно более эффективны, чем триггеры в этом применении, поскольку единственное устройство может обеспечить деление больше, чем на два.

⁷⁹ E. A Parr, IC 555 Projects, Bernard Babani (publishing) Ltd, 1981, стр. 109.

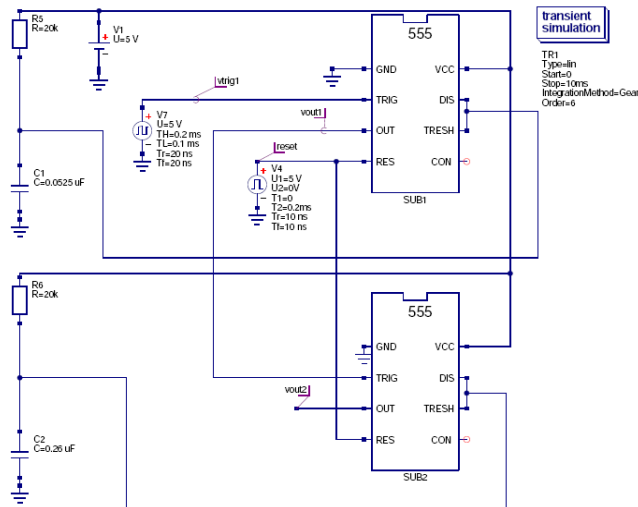


Рис. 7.22. Двух-каскадный делитель частоты на таймере 555

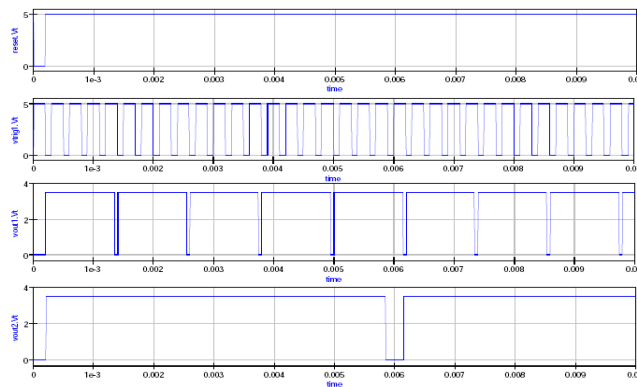


Рис. 7.23. Выходные графики симуляции схемы на рис. 7.22

7.5 Заключительные замечания

Разработка модели симуляции для таймера 555 – это интересная задача. В этих заметках руководства сделана попытка описать принципы и технологию макро-моделирования для такого рода задач. Они также демонстрируют, насколько Qucs созрел для того, чтобы стать универсальным симулятором. Новая модель Qucs 555 таймера – это, в значительной мере, первая попытка моей части построения функциональной модели этого сложного устройства. Много больше работы следует сделать в дальнейшем, чтобы улучшить модель таймера 555. Модели таймера 555 с низким энергопотреблением тоже нуждаются во внимании. Много времени

потребуется, чтобы универсальная параметризованная подхема модели для таймера 555 реализовала передачу параметров в подхемы Qucs и вычисляла значения компонент, используя уравнения. Специальная благодарность Stefan Jahn за его ободрение и множество модификаций, которые он сделал в Qucs, чтобы либо исправить ошибки, либо добавить функциональности на протяжении всей моей работы над этой частью.

8 Смещение ВJT транзистора

8.1 Графические методы

Вы можете сместить переход биполярного транзистора несколькими способами. Определить же лучший вариант для вашей цели легче всего с помощью графического метода. Смещение активного устройства, такого как биполярный плоскостной транзистор (ВJT), требует, чтобы вы задали DC напряжения и токи устройства. Для оптимизации желаемых результатов нужны разные значения смещения. Например, входное устройство усилителя с низким уровнем шума может иметь наилучшие шумовые показатели при токе коллектора 50 μA и максимальном напряжении коллектор-эмиттер 5V, тогда как следующий каскад усилителя должен иметь ток коллектора 20 mA и напряжение коллектор-эмиттер 18V для создания необходимого AC напряжения на выходе. Как только вы определи желаемые условия смещения, вам нужно удостовериться, что они воспроизводимы при некоторых ограничениях, что гарантировало бы согласованное представление.

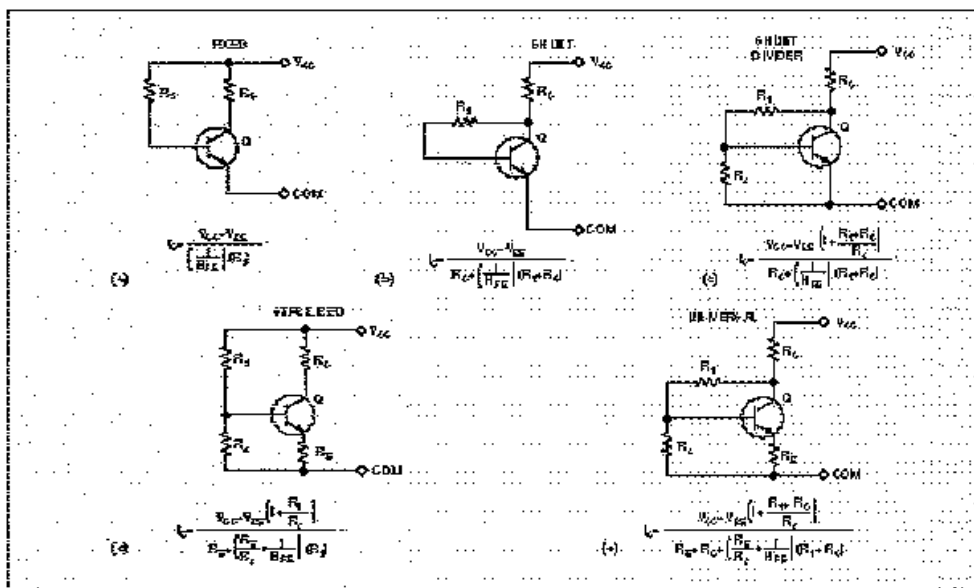


Рис. 8.1. Различные способы обратной связи

Анализ способов смещения для ВJT обычно развивается, с усложнением, из метода фиксированного смещения (см. рис. 8.1), переходя к цепям шунтирования, к цепям стабилизации и т. д. Сюда, обычно, входят шунтирующие делители и универсальные цепи задания смещения. Однако по поводу стабильности смещения цепью

шунтирования еще остаются вопросы. Способ подходит в некоторых некритических случаях, но насколько он ухудшает стабилизируемую схему? Разработчиков, как правило, учат, что схема стабилизации – единственная для повторения.

Один из путей анализа стабильности различных методов смещения – использование параметров стабильности, характеризующих изменение тока коллектора из-за изменения HFE (усиление по току) транзистора, ICBO (ток утечки коллектор-база), и VBE. Хотя эти параметры полезны, сравнение цепей смещения и значений резисторов смещения требует утомительных вычислений. Большую пользу принесет визуальный показ сравнительной стабильности разных цепей. Взгляните на уравнения для тока коллектора (IC) рис. 1b, и заметьте, что большинство изменений в IC происходит из-за разницы напряжений, возникающих на R1, по причине разброса HFE. Это приводит к вопросу: если ток через R1 фиксирован, будет ли результатом уменьшение изменений напряжения на R1 и, следовательно, уменьшение изменений IC? Эти соображения приводят к схеме шунтирующего делителя (рис. 1c). Поскольку VBE меняется мало, R2 поддерживает относительно постоянную составляющую тока через R1, при том, что R1 получается с меньшим значением, чем оно было бы без R2. Уравнение для шунтирующего делителя показывает, что меньшее значение R1 в знаменателе приводит к меньшим изменениям для IC из-за изменения HFE. Однако с RC и R2, R1 в числителе в качестве множителя для VBE.

Вы можете продолжать рассматривать, насколько сильно каждый из этих факторов влияет на IC. Поскольку вы можете воспроизвести все схемы рис. 1 из универсальной цепи (рис. 1e), делая соответствующие резисторы либо бесконечными (открытая цепь), либо нулевыми (замкнутая цепь), та же универсальность относится и к уравнениям. Рассмотрев уравнения цепей в диапазоне параметров и значений смещающих резисторов, вы можете построить график, на котором ось Y представит изменения в IC. Чтобы сделать правильное сравнение цепей, нужен общий параметр, относящийся к смещению, для оси X. Отношение тока коллектора к току смещения через R1 работает. Это отношение общее для цепей и отражает то, как изменяется смещение. Для показа реальных условий, данные также включают температурное влияние на VBE и HFE в диапазоне от 25 до 75°C и от 3 до 1 приращение для HFE. Для целей сравнения все цепи используют 10V, как напряжение питания для VCC при номинальном токе коллектора в 1 mA, с HFE в 100 и VBE в 0.60V при 25°C. Вычисление резисторов для 5V VCE и выбор RE для создания 1V на эмиттере дают результаты для графического метода. Модель для температурных эффектов устройства – $VBE = 0.60 + 0.002(T(actual) - 25^{\circ}C)$, представляющая стандартный $2mV/^{\circ}C$ коэффициент для диодов. Вычисления из справочных данных транзистора 2N2222A дают средний температурный к-т для HFE около $0.58\% / ^{\circ}C$, который может быть представлен

$$HFE_{Temp} = HFE_{Max} \times [1 + (T(actual) - 25^{\circ}C)0.0058] \quad (8.1)$$

Расчет IC на минимум HFE = 50 при 25°C и максимум HFE = 150 при 75°C приносит HFE_{Temp} в 194 и VBE в 0.50V.

Этот анализ игнорирует эффекты ICBO. Для номинального тока коллектора в 1 mA и максимальной температуры 75°C вклад ICBO в IC дает несколько процентов, самое большое, для фиксированного смещения и цепей шунтирования смещения на рис. 1a и 1b, и меньше для цепей смещения на рис. 1c, 1d и 1e.

8.1.1 Графическое приближение показывает компромисс

Результат анализа появляется, как простое визуальное сравнение стабильности схем при разных типах цепей смещения (рис. 8.2). Используя рисунок, вы можете выбрать тип задания смещения и параметры смещения для получения необходимой стабильности.

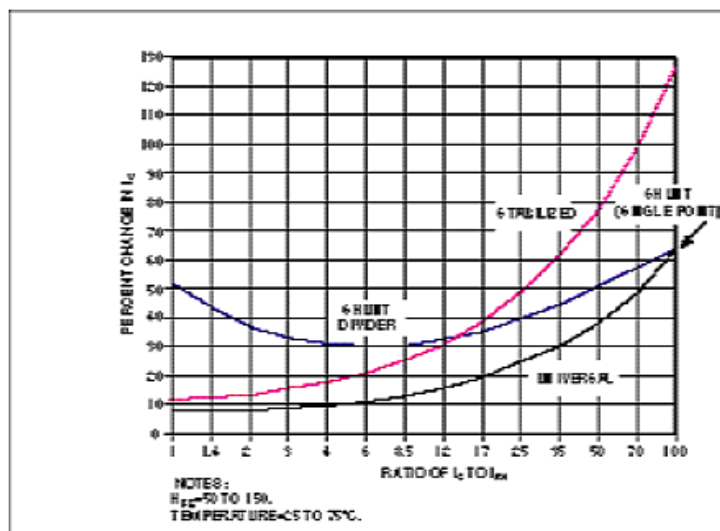


Рис. 8.2. Вы можете сравнить представление цепи смещения ВJT с графиком изменения тока коллектора от соотношения тока коллектора и тока через R1

Горизонтальная ось – это отношение тока коллектора (IC) к току через резистор R1. Это отношение смещения приложено ко всем цепям и показывает ток в цепи смещения базы, сравнительно с током коллектора. Так, отношение равное 1 показывает устойчивую цепь смещения, с таким же током через R1 цепи смещения, что и в цепи коллектора, тогда как отношение 50 показывает, что ток коллектора в 50 раз больше тока через резистор R1 цепи смещения. Поскольку некоторые из этих результатов неожиданны, они дают новый взгляд на отдельные цепи смещения, прежде

игнорируемые. Универсальный метод смещения, очевидно, наилучший в группе. Цена, которую вы платите за ее DC стабильность – это уменьшение входного сопротивления из-за отрицательной обратной связи через R1, вид эффекта Miller на резисторах. R1 уменьшается на k -т усиления по напряжению плюс 1. Эта обратная связь уменьшает искажения и улучшает полосу пропускания, а также уменьшает выходной импеданс на коллекторе. Если вы не хотите иметь эти AC эффекты обратной связи, вы можете устранить их, разделив R1 на две части и пропустив центр на землю (рис. 8.3). Вы можете улучшить действие этой цепи в отношении смещения, увеличив падение напряжения на RE, увеличив падение напряжения на резисторе в цепи коллектора или увеличив оба.

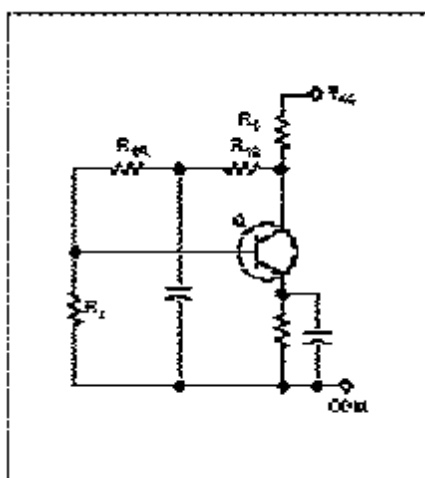


Рис. 8.3. Чтобы устранить AC эффекты обратной связи, разделите R1 и центр пропустите на землю

Цепь стабилизации имеет хорошую стабильность для смещения с отношением не выше 12. Выше этого отношения ее стабильность быстро уменьшается. Стабилизация цепи происходит и от изменений напряжения обратной связи по току эмиттера через RE, сравнительно с напряжением VB на базе. Когда фактор смещения становится не жестким, изменение тока базы, проходящего через R1, из-за изменения HFE вызывает значительные изменения VB. Эти изменения сказываются на изменении IE (ток эмиттера) и IC (ток коллектора). Как с универсальной цепью, вы можете улучшить действие стабилизирующей цепи с любым k -том, увеличив падение напряжения на RE. Не забывайте, что эти результаты для номинального диапазона HFE от 50 до 150 плюс температурные эффекты. Нижний минимум значений HFE требует жесткого отношения смещения для такого же действия.

Превосходящее действие цепи шунтирующего делителя при отношении смещения более, чем 12, сравнительно со стабилизирующей цепью, это сюрприз. Когда смещение цепи шунтирующего делителя жесткое, VC строго влияет на отношение в R1 к R2 раз

V_{BE} . Когда V_{BE} меняется от температуры, V_C , а, значит, I_C , меняется приблизительно в R_1 к R_2 раз изменения V_{BE} .

Поскольку ток коллектора (I_C) играет ведущую роль в определении V_C , I_C широко варьируется для этих отношений жесткого смещения. Когда отношение теряет жесткость, изменение V_{BE} с температурой, умноженное на действие делителя напряжения, теряет господствующее положение; и в части улучшения, при отношении выше 12, схема шунтирования делителем стабилизации начинает превосходить то, что дает стабилизирующая цепь. Вы можете подсчитать это действие отрицательной обратной связи (от сопротивления в цепи коллектора через R_1). Поскольку обычно сопротивление в цепи коллектора много больше, чем резистор в цепи эмиттера, стабильность универсальной цепи поддерживается лучше для теряющего жесткость отношения смещения.

Поскольку цепь шунтирующего делителя более стабильна, чем шунтирующая цепь, рассматривайте последнюю для применений, где допустима меньшая стабильность, чем предлагаемая стабилизацией или универсальной схемой. А, так как сохраняется роль шунтирующего конденсатора эмиттерной цепи в универсальной и стабилизирующей схемах, шунтирующий делитель может быть более эффективен по стоимости. Отрицательная обратная связь через R_1 в цепи шунтирующего делителя уменьшает входное сопротивление и может улучшить полосу частот и уменьшить искажения, а также уменьшить выходное сопротивление таким же образом, как в универсальной цепи. Вновь вы можете убрать эти эффекты со снижающим конденсатором из центра R_1 . Этот конденсатор обычно много меньше, чем шунтирующий эмиттерный для стабилизированной схемы.

Поскольку ток смещения для цепи шунтирования смещения состоит только из тока базы, он имеет отношение порядка I_C к I_{R1} , именно HFE , и изображается как одна точка. Когда отношение смещения для универсальной схемы и шунтирующего делителя увеличивается, значение R_2 увеличивается, пока не становится бесконечным при HFE порядка 100. При этих условиях отношение смещения цепи сходится к отношению шунтирующей цепи.

Рис. 8.2 может привести к нескольким общим заключениям. Универсальная цепь имеет лучшую стабильность в широком диапазоне отношений смещения. Цепь стабилизации имеет хорошую стабильность для жестких отношений смещения, но вы должны быть внимательны, когда отношение смещения превосходит 12. И, наконец, цепь шунтирующего делителя существенно лучше шунтирующей цепи и лучше, чем стабилизирующая цепь, для больших отношений смещения.

8.2 Техники симуляции

Предыдущий раздел рассматривал графический метод, но более общим методом может быть использование симуляции для определения всех возможных вариаций для данной схемы (включая hFE, температуру, регулирование напряжения и т. д.); так что проблема в том, какой вид обратной связи можно использовать, какой нет. Извините, но здесь нет прямого ответа, поскольку это касается, например, стоимостных последствий, или последствий исполнения⁸⁰.

В любом случае нам нужно оценить различные способы смещения, используя средства симуляции. Один из анализов будет сделан в разделе разработки РА.

⁸⁰ Эта позиция явно не понятна при обсуждении с маркетинговыми, или разрабатывающими, или исследовательскими группами, кто знает почему?

9 ВJT моделирование и контроль

предупреждение

Эта глава будет посвящена описанию решений при разработке RF с использованием QUCS. Автор подразумевает, что основные манипуляции с qucs известны. Далее вы найдете, в основном, описания для MacOSX, не доступные для linux или unices архитектур.

9.1 Выбор транзистора

Выбор был сделан в пользу Philips RF библиотеки широкополосных транзисторов. Эти компоненты легко найти по приемлемым ценам.

Список можно найти на <http://www.semiconductors.philips.com/>.

Резюме по этим транзисторам можно найти на рис. 9.1.

Я не буду обсуждать в дальнейшем причин⁸¹ окончательного выбора, но BF G425w кандидат. Он предлагает большое усиление с низким уровнем шумов (если рассматривать LNA), высокую граничную частоту (25 GHz), его эмиттер имеет тепловой отвод, низкая емкость обратной связи. Это устройство может быть использовано в RF интерфейсе, аналоговом или цифровом мобильнике, радарном детекторе, пейджерах, SATV, осцилляторах. Он есть в корпусе SOT343R, подходящем для малой интеграции. Максимально достижимое усиление 20 dB с 25 mA, $V_{ce} = 2$ V на 2 GHz и 25°C. Точка пересечения третьего порядка при этих условиях обычно 22dBm.

Эти параметры должны быть совместимы с нашими нуждами. Вот параметры spice этого устройства.

```
.SUBCKT BFG425W 1 2 3
L1 2 5 1.1E-09
L2 1 4 1.1E-09
L3 3 6 0.25E-09
Ccb 4 5 2.0E-15
Cbe 5 6 80.0E-15
Cce 4 6 80.0E-15
Cbpb 5 7 1.45E-13
Cbpc 4 8 1.45E-13
Rsb1 6 7 25
Rsb2 6 8 19
```

⁸¹ Из-за тока, Ft, Vce, мощности рассеяния и т. д.

B Selection results for RF wideband transistors

Go to the interactive version of this Selection Guide.
Download in PDF Excel sheet (right-click and choose Save Target As...)

88 RESULTS SHOWN

Type number	PACKAGE	Category	POLARITY	V _{CE} max (V)	I _C max (A)	V _{CE} max (V)	f _T (GHz)	f _{max} (GHz)	f _{max} (GHz)	Gain	Gain	Gain	System
										β	dB	dB	AVS
				(V)	(A)	(V)	(GHz)	(GHz)	(GHz)	(dB)	(dB)	(dB)	(dB)
RF0105	SOT143B	Transistor wideband NPN up to 5.5 GHz	NPN	250.0	20.0	0.0	1000.0	1000	7.0	1.8	100	100	
RF0106	SOT143B	Transistor wideband NPN up to 5.5 GHz	NPN	1300.0	15.0	15.0	1000.0	1000	16.0	12	800	100	
RF0107	SOT143B	Transistor wideband NPN up to 6 GHz	NPN	1200.0	15.0	15.0	1000.0	1000	18.0	15	800	100	
RF0108	SOT143B	Transistor wideband NPN up to 6 GHz	NPN	1300.0	15.0	15.0	1000.0	1000	18.0	15	800	100	
RF0109	SOT143B	Transistor wideband NPN up to 25 GHz	NPN	30.0	6.5	6.5	1000.0	1000	18.0	1.8	100	100	
RF0110	SOT143B	Transistor wideband NPN up to 6 GHz	NPN	1300.0	15.0	15.0	1000.0	1000	18.0	15	800	100	
RF0111	SOT143B	Transistor wideband PNP up to 6 GHz	PNP	1300.0	15.0	15.0	1000.0	1000	18.0	15	800	100	
RF0112	SOT143B	Transistor wideband PNP up to 6 GHz	PNP	1300.0	15.0	15.0	1000.0	1000	18.0	15	800	100	
RF0113	SOT143B	Transistor wideband NPN up to 6 GHz	NPN	1300.0	15.0	15.0	1000.0	1000	18.0	15	800	100	
RF0400				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0401				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0402				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0403				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0404				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0405				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0406				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0407				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0408				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0409				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0410				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0411				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0412				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0413				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0414				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0415				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0416				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0417				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0418				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0419				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0420				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0421				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0422				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0423				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0424				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0425				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0426				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0427				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0428				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0429				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0430				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0431				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0432				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0433				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0434				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0435				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0436				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0437				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0438				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0439				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0440				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0441				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0442				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0443				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0444				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0445				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0446				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0447				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0448				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0449				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0450				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0451				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0452				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0453				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0454				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0455				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0456				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0457				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0458				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0459				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0460				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0461				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0462				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0463				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0464				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0465				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0466				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0467				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0468				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0469				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0470				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0471				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0472				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0473				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0474				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0475				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0476				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0477				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0478				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0479				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0480				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0481				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0482				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0483				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0484				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0485				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0486				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0487				30.0	3.6	17.0		1.6		1.6	20.0	20.0	900
RF0488				30.0									

```

Q1 4 5 6 6 NPN

.MODEL NPN NPN

+ IS = 4.717E-17 + BF = 145 + NF = 0.9934
+ VAF = 31.12 + IKF = 0.304 + ISE = 3.002E-13
+NE =3 +BR =11.37 +NR =0.985
+ VAR = 1.874 + IKR = 0.121 + ISC = 4.848E-16
+NC =1.546 +RB =14.41 +IRB =0
+ RBM = 6.175 + RE = 0.1779 + RC = 1.780
+ CJE = 3.109E-13 + VJE = 0.9 + MJE = 0.3456
+ CJC = 1.377E-13 + VJC = 0.5569 + MJC = 0.2079
+ CJS = 6.675E-13 + VJS = 0.4183 + MJS = 0.2391
+ XCJC = 0.5 + TR = 0.0 + TF = 4.122E-12
+ XTF = 68.2 + VTF = 2.004 + ITF = 1.525
+PTF =0 +FC =0.5501 +EG =1.11
+XTI =3 +XTB =1.5
.ENDS

```

Поскольку модель, используемая в SPICE и в QUCS, полагается на gummel-roop моделизацию, и поскольку уровень моделизации одинаков, может использоваться некое прямое преобразование для создания библиотеки в QUCS.

Для прямого использования этого файла вам нужно сохранить его в другой директории, чем проект (небольшая ошибка имеет место при подсчете). Затем он будет работать, но есть еще несколько вопросов по, собственно, параметрам. И есть резон пойти дальше другим путем.

Справочные данные можно найти на web-сайте philips.

NPN 25 GHz wideband transistor

BFG425W

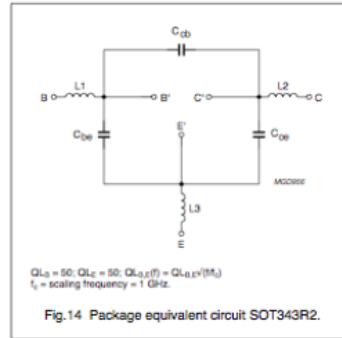
SPICE parameters for the BFG425W die

SEQUENCE No.	PARAMETER	VALUE	UNIT
1	IS	47.17	aA
2	BF	145.0	-
3	NF	0.993	-
4	VAF	31.12	V
5	IKF	304.0	mA
6	ISE	300.2	fA
7	NE	3.000	-
8	BR	11.37	-
9	NR	0.985	-
10	VAR	1.874	V
11	IKR	0.121	A
12	ISC	484.8	aA
13	NC	1.546	-
14	RB	14.41	Ω
15	IRB	0.000	A
16	RBM	6.175	Ω
17	RE	177.9	m Ω
18	RC	1.780	Ω
19 ⁽¹⁾	XTB	1.500	-
20 ⁽¹⁾	EG	1.110	eV
21 ⁽¹⁾	XTI	3.000	-
22	CJE	310.9	fF
23	VJE	900.0	mV
24	MJE	0.346	-
25	TF	4.122	ps
26	XTF	68.20	-
27	VTF	2.004	V
28	ITF	1.525	A
29	PTF	0.000	deg
30	CJC	137.7	fF
31	VJC	556.9	mV
32	MJC	0.207	-
33	XCJC	0.500	-
34 ⁽¹⁾	TR	0.000	ns
35 ⁽¹⁾	CJS	667.5	fF
36 ⁽¹⁾	VJS	418.3	mV
37 ⁽¹⁾	MJS	0.239	-
38	FC	0.550	-

SEQUENCE No.	PARAMETER	VALUE	UNIT
39 ⁽²⁾⁽³⁾	C_{cb}	145	fF
40 ⁽²⁾	R_{b01}	25	Ω
41 ⁽³⁾	R_{b02}	19	Ω

Notes

- These parameters have not been extracted, the default values are shown.
- Bonding pad capacity C_{cb} in series with substrate resistance R_{b01} between B' and E'.
- Bonding pad capacity C_{cb} in series with substrate resistance R_{b02} between C' and E'.



List of components (see Fig.14)

DESIGNATION	VALUE	UNIT
C_{de}	80	fF
C_{db}	2	fF
C_{ce}	80	fF
L1	1.1	nH
L2	1.1	nH
L3 (note 1)	0.25	nH

Note

- External emitter inductance to be added separately due to the influence of the printed-circuit board.

Рис. 9.2. Параметры spice извлекаются из справочных данных philips

9.2 Создание библиотеки

Помните, что при создании устройства почти всегда обязательным для чтения, чтобы понять, как сделана модель, является техническая документация. Это полезно для понимания ограничений, и того, как можно корректировать некоторые данные, если будет нужно. К большому сожалению значительная часть коммерческого программного обеспечения совершенно в стороне от понимания, какую реальную модель они используют, и ее ограничений; QUCS совершенно исключительна в этом плане, ее полное моделирование объяснено теоретически в специальном техническом документе.

В порядке проведения этого теста нам нужно создать модель нашего компонента. Для выполнения этой задачи вы должны создать файл, который содержит все библиотеки, и этот файл сохранить под /usr/local/share/qucs/library/philips_RF_widebande_npn.lib

Вы можете редактировать этот файл с помощью vi. Вам нужно добавить следующие строки:

```
<Qucs Library 0.0.7 "philips RF wideBand">

    <Component BFG425W>
    <Description>
    RF wideband NPN 25GHz
    2V, 25mA, 20dB , 2000MHz
    Manufacturer: Philips Inc.
    NPN complement: BFG425W

    _____
    based on spice parameter from philips

    _____
    sept 2005 thierry
    </Description>
    <Model>
    <_BJT T_BFG425W_ 1 480 280 8 -26 0 0 "npn" 1 "47.17e-10"
    1 "1" 1 "1" 1 "0.304" 1 "0.121" 1 "31.12" 1 "1.874" 0
    "300.2e-15" 1 "3" 1 "484.8e-10" 1 "1.546" 1 "145" 1 "11.37"
    1 "6.175" 1 "0" 1 "1.78" 1 "0177.9e-3" 1 "014.41" 1 "310.9e-15"
    1 "0.900" 1 "0.346" 1 "137.7e-15" 1 "0.5569" 1 "0.207" 1 "0.500"
    1 "667.5e-15" 1 "0.4183" 1 "0.239" 1 "0.550" 1 "4.122e-12" 1
    "68.2" 1 "2.004" 1 "1.525" 1 "0.0" 1 "26.85" 1 "0.0" 0 "1.0" 0
    "1.0" 0 "0.0" 0 "1.0" 0 "1.0" 0 "0.0" 0>
    </Model>
</Component>
```

Вы можете заменить 1 на 0, это влияет на опцию видимости; фактически, поместив 1 в начале, вы открываете возможность для пользователя изменить и/или просмотреть параметры, которые будут использованы.

Трюк с предоставлением всего требуемого синтаксиса в том, чтобы вставить NPN в схему, сделать копию устройства. Затем вы должны иметь модель в буфере обмена, и только вставить в файл и добавить описание и разметочные знаки языка. Синтаксис пояснен в подсказке (help) вверху описания файла формата qucs. Затем устройство становится видимо в библиотеке компонент, как показано на рис. 9.3.

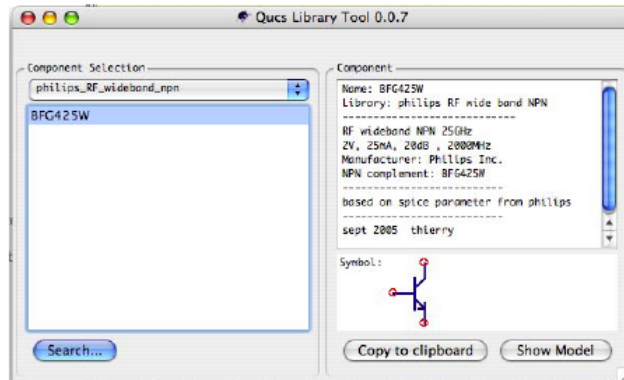


Рис. 9.3. QUCS библиотека компонент с новым компонентом

Сделав это, вы получаете возможность использовать устройство столько раз, сколько вам понадобится, и вы можете отлаживать устройство самым легким образом.

Предупреждение : в этом разделе мы опишем только кристалл устройства из-за паразитных элементов корпуса. Мы обязательно опишем схему, но позже.

9.3 Проверка библиотеки устройств

Первый шаг перед использованием устройства в приложении – это проверка модели, которую вы используете. Главным образом, поскольку эта модель была создана пользователем. В порядке продолжения, вам нужно обратиться к точным данным: что, к слову, и есть официальные справочные данные.

На этом шаге вам нужно создать проект специально для проверки устройства. Неплохо бы и сохранить путь проверки устройства, поскольку вы будете по-разному его использовать, так что полезна будет возможность вернуться к некоторым симуляциям модели, как таковой. Созданный проект будет выглядеть похожим на тот, что на рис. 9.4.

```
project name : model_verif_bfg425w
project location : $HOME/.qucs/
```

Для законности сделанного мы должны использовать специальное смещение устройства: I_c должен быть 25mA, следовательно, I_b должен быть 300μA.

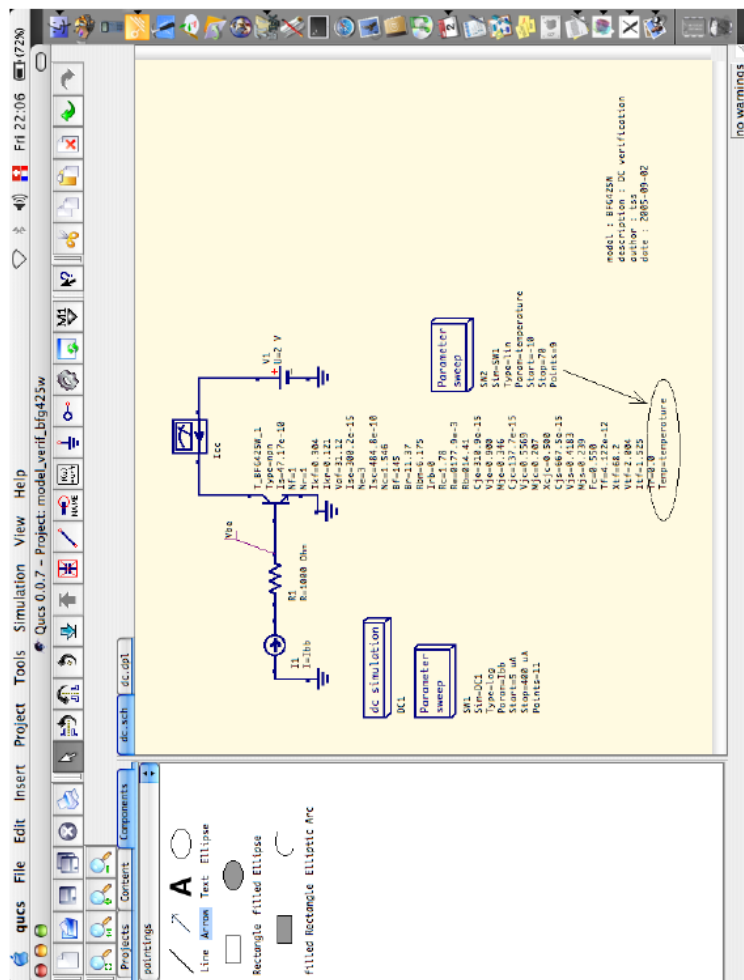


Рис. 9.4. QUCS проект для проверки модели

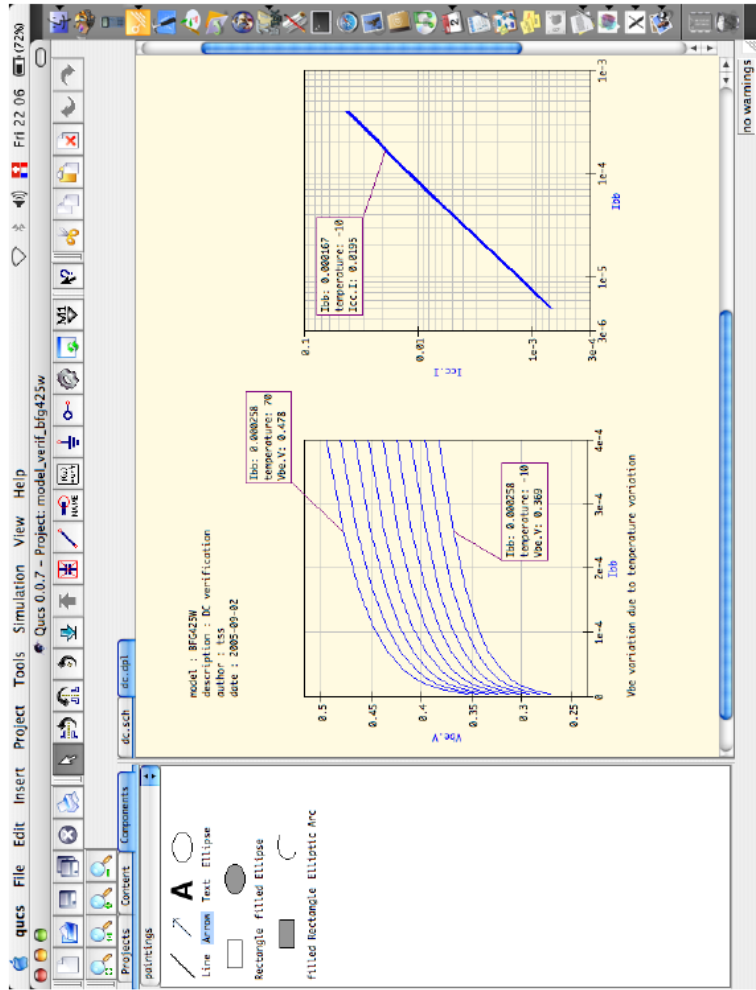


Рис. 9.5. DC проверка и температура

9.4 Описание паразитных параметров корпуса

В порядке правильной симуляции устройства вам нужно использовать корректный корпус, в нашем случае SOT 343R, как упомянуто на web-сайте philips (см. рис. 9.6).

Хотя устройство имеет два эмиттера, модель использует только один эмиттер.

Паразитные параметры этой модели показаны в spice netlist, описанном при выборе транзистора и воспроизведенные в схеме (см. рис. 9.8). Эти параметры всегда критичны при извлечении: либо вы знаете, что с ними делать, либо вы должны довериться той части информации, что дана производителем устройства. Также очень трудно угадать, что должно быть изменено в подобном описании устройства.

Некоторая подгонка была выполнена с использованием 3D электромагнитного программного обеспечения в области времен, базирующейся на MOM методах, для проверки этих параметров.

Philips в пятом поколении двух-поликремниевых широкополосных технологий использует крутой легированный эмиттерный профиль, выразившийся в граничной частоте выше 20 GHz, а с поликристаллическими контактами базы было получено низкое ее сопротивление. Через утопленный слой контакт коллектора появляется на верху пластины. Нижний слой соединен прямо с выводом эмиттера корпуса, чем достигается улучшенное температурное поведение (см. рис. 9.7).

Прямо из схемы вы можете редактировать символ, который может быть использован в следующем файле симуляции. Для продолжения нажмите F3 или отредактируйте символ схемы из меню «файл». Просто, нарисовать npn transistor, и возвращайтесь в схему повторным нажатием F3.

Plastic surface mounted package; reverse pinning; 4 leads

SOT343R

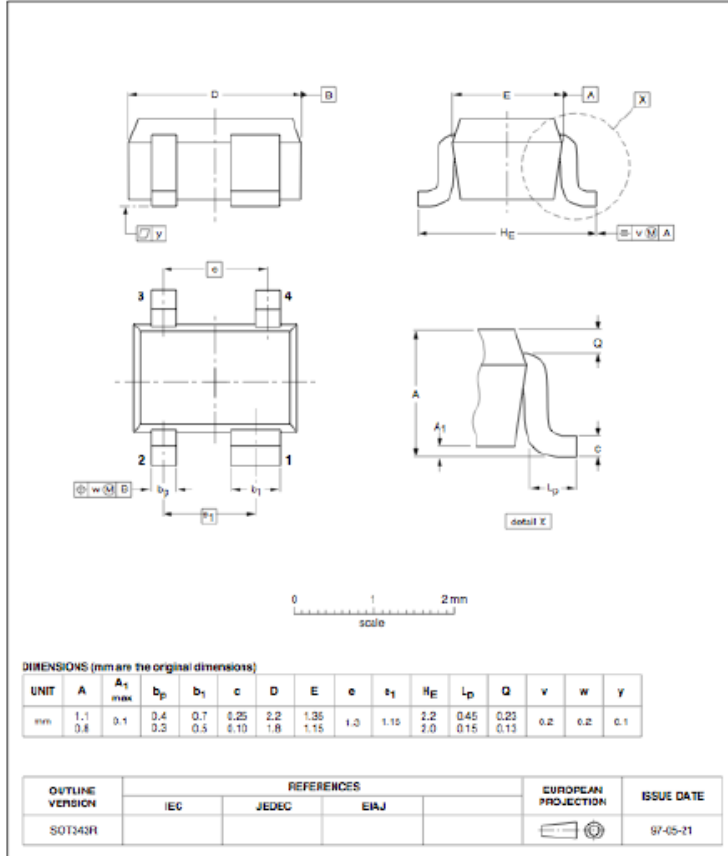


Рис. 9.6. SOT 343R корпус, описание

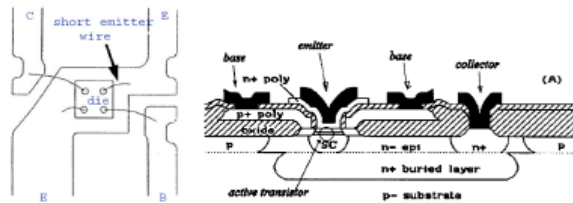


Рис. 9.7. Соединение кристалла в пятом поколении транзисторов от philips

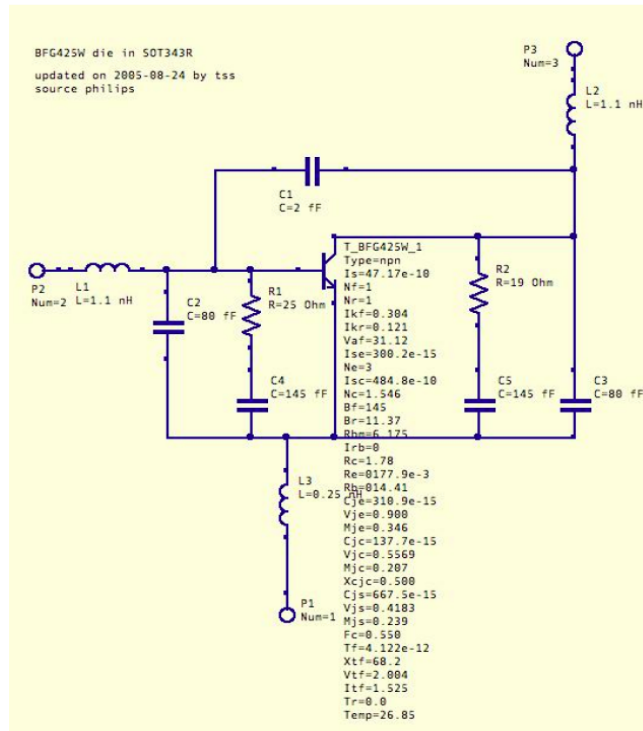


Рис. 9.8. Описание bfg425W в корпусе sot343R

9.5 Проверка S-параметров малого сигнала

В этом разделе нам понадобится перерисовать новую схему, используя модель, которую мы создали, плюс поместить некоторые дополнительные компоненты на используемые порты⁸².

Вы должны иметь схему, похожую на ту, что представлена на рис. 9.9.

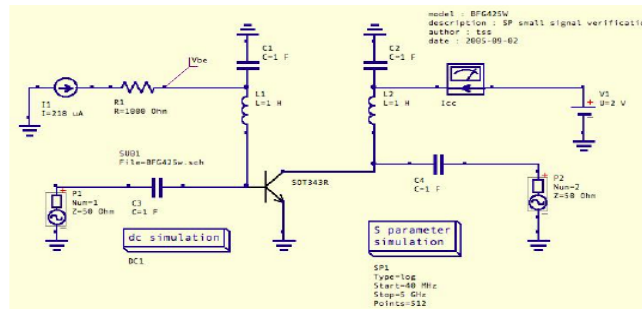


Рис. 9.9. Схема используемая для симуляции S-параметров

Компоненты, использованные для проверки модели должны быть странными (катушка в 1H и конденсатор в 1F). Это нормально, поскольку мы нуждаемся в наличии очень широкой полосы пропускания схемы, и поскольку мы хотим отобразить только активное устройство, и сравнить со справочными данными. Другой путь в использовании DC bloc или DC feed или bias Tee для подключения питания к компоненту. Это правильный путь.

Затем вы должны создать дисплей для визуализации S-параметров: обычно s11 и s22 в smith и s12 и s21 в polar.

Теперь мы сравним эти результаты с измеренными параметрами от philips:

```
! Filename: 225bfg425.001
! BFG425W Field C1
! V1=8.667E-001V,V2=2.000E+000V, I1=3.585E-004A, I2=2.496E-002A
! S11 S21 S12 S22
!Freq(GHz) Mag Ang Mag Ang Mag Ang Mag Ang
#GHz S MA R50

0.040 0.325 -8.696 38.472 173.381 0.002 71.865 0.923 -3.072
0.100 0.331 -23.004 37.457 164.549 0.005 83.280 0.915 -9.551
```

⁸² Мы применим другой метод, когда будем использовать устройство в реальном проекте.

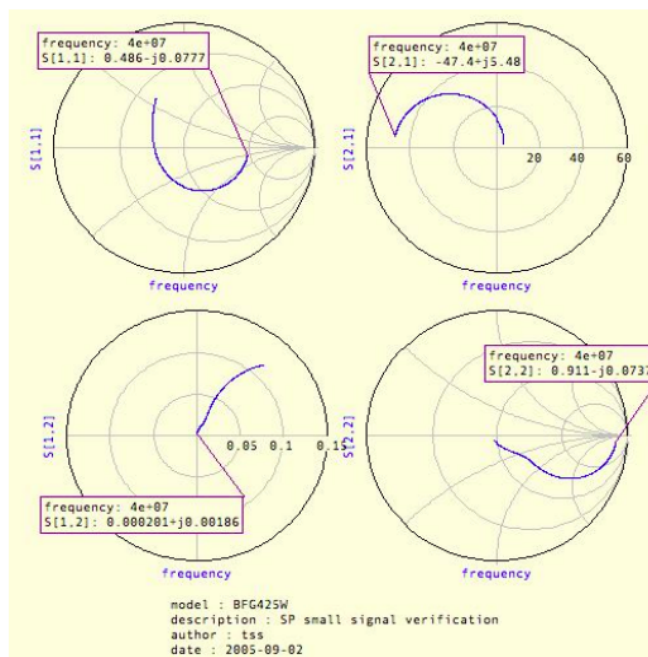


Рис. 9.10. S-параметры симуляции для проверки модели

```

0.200 0.315 -44.455 34.771 150.487 0.008 75.947 0.863 -18.965
0.300 0.296 -63.008 31.364 138.811 0.012 71.608 0.794 -26.449
0.400 0.278 -79.654 27.951 128.829 0.015 68.186 0.725 -32.076
0.500 0.265 -94.339 24.856 120.248 0.017 65.974 0.664 -36.332
0.600 0.254 -106.508 22.159 113.362 0.020 64.514 0.613 -39.533
0.700 0.246 -116.820 19.885 107.530 0.022 63.362 0.569 -42.071
0.800 0.240 -126.472 17.964 102.255 0.024 62.701 0.533 -44.121
0.900 0.235 -134.500 16.345 97.645 0.027 61.910 0.504 -45.968
1.000 0.232 -141.743 14.958 93.487 0.029 61.280 0.479 -47.614
1.100 0.230 -148.265 13.770 89.661 0.031 60.570 0.457 -49.172
1.200 0.230 -154.216 12.748 86.091 0.033 59.878 0.438 -50.696
1.300 0.230 -159.761 11.850 82.773 0.036 59.238 0.421 -52.103
1.400 0.231 -164.776 11.070 79.671 0.038 58.509 0.406 -53.483
1.500 0.233 -169.782 10.383 76.687 0.040 57.719 0.392 -54.842
1.600 0.234 -174.382 9.766 73.821 0.043 56.846 0.380 -56.285
1.700 0.236 -178.496 9.213 71.086 0.045 56.001 0.369 -57.740
1.800 0.238 177.334 8.725 68.404 0.047 54.999 0.358 -59.199
1.900 0.241 173.487 8.277 65.836 0.050 53.983 0.348 -60.790
2.000 0.244 169.856 7.874 63.295 0.052 52.923 0.338 -62.399
2.200 0.251 162.836 7.172 58.413 0.057 50.729 0.319 -65.657
2.400 0.259 156.208 6.578 53.682 0.062 48.414 0.301 -68.988
2.600 0.268 150.081 6.068 49.042 0.067 45.958 0.283 -72.558
2.800 0.277 144.221 5.628 44.575 0.072 43.380 0.266 -76.167
3.000 0.288 138.650 5.244 40.174 0.077 40.713 0.248 -80.054
3.500 0.319 125.843 4.470 29.452 0.090 33.634 0.204 -90.648
4.000 0.352 113.999 3.873 18.944 0.102 26.177 0.158 -103.541
4.500 0.389 103.406 3.406 8.713 0.113 18.415 0.113 -121.590
5.000 0.431 92.903 3.011 -1.792 0.123 9.782 0.071 -156.899
5.500 0.463 82.559 2.658 -11.364 0.131 2.534 0.054 148.652
6.000 0.506 73.164 2.374 -21.684 0.138 -6.413 0.095 100.575
6.500 0.516 66.705 2.179 -28.681 0.152 -10.089 0.112 92.309
7.000 0.551 59.664 2.011 -37.894 0.164 -17.920 0.164 82.321
7.500 0.610 50.773 1.808 -49.313 0.166 -29.630 0.246 65.957
8.000 0.644 43.502 1.653 -58.585 0.172 -37.580 0.300 56.971
8.500 0.683 35.816 1.496 -68.478 0.175 -46.984 0.361 47.167
9.000 0.709 27.972 1.338 -77.310 0.173 -55.176 0.412 37.289
9.500 0.736 20.858 1.212 -85.841 0.172 -63.448 0.449 29.117
10.000 0.764 14.187 1.105 -95.600 0.173 -72.751 0.505 22.602
10.500 0.785 7.330 0.997 -104.961 0.171 -81.774 0.554 14.956
11.000 0.802 0.219 0.884 -113.744 0.164 -91.275 0.593 6.422
11.500 0.815 -6.751 0.791 -122.965 0.158 -100.952 0.631 -0.521
12.000 0.822 -13.843 0.690 -131.882 0.149 -111.108 0.667 -8.548

```

```

! DEEMBEDDED NOISE DATA
!FREQUENCY FMIN GAMMA OPT Rn
! (GHz) (dB) Mag Ang (NORMALIZED)

```

Используя эти параметры, мы сравним на образце отображения результаты моделирования и измеренные результаты, или прямо покажем ошибки, используя уравнения. Первым делом мы сравним результаты.

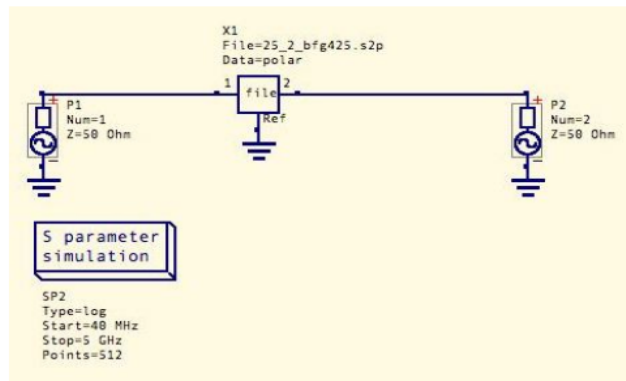


Рис. 9.11. Схема использованная для S-параметров от производителя

На отображение, которое использовано для S-параметров, результат симуляции нашей модели, мы можем добавить результаты из файлов производителя, добавив измерения $S_{i,j}$ с использованием правого набора данных в диалоге. Вы должны получить разницу между ними.

Сделав это вы получите результаты, представленные на рис. 9.12.

ВАЖНОЕ ЗАМЕЧАНИЕ: Разница, которую вы получите еще исследуется сейчас.

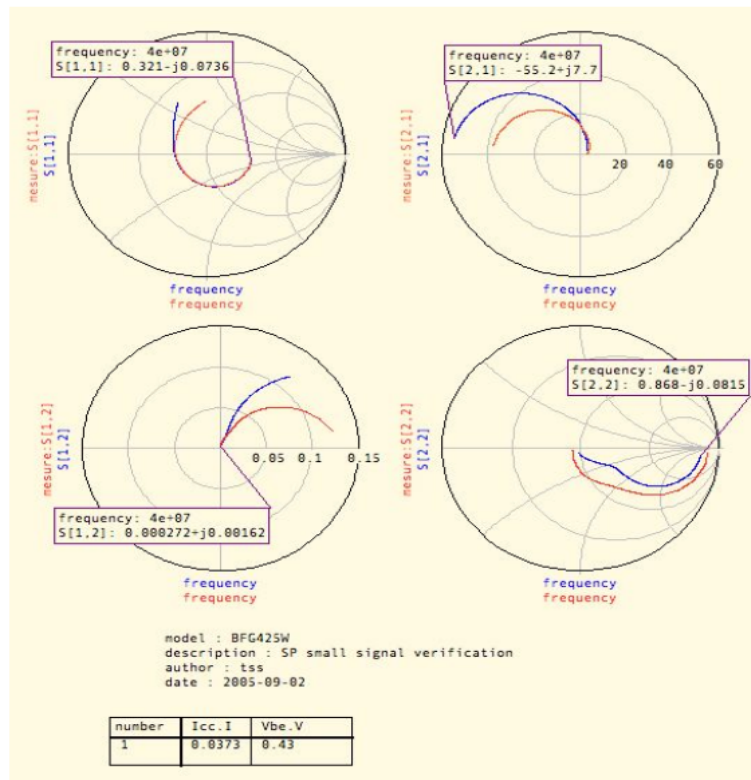


Рис. 9.12. Результаты моделирования и измерений, сравниваемые вместе

10 Разработка усилителя мощности

предостережение

Эта глава будет посвящена описанию решений при разработке RF с использованием QUCS. Автор подразумевает, что основные манипуляции с qucs известны. Далее вы найдете в основном описания для MacOSX, не доступные для linux или unices архитектур.

10.1 Область интересов

Этот усилитель мощности будет использоваться в более сложной системе, которую я не могу здесь описать, но устройство внутри 868MHz ISM диапазона частот. Этот усилитель рассматривается как усилитель мощности, поскольку он не LNA, но его мощность не столь высока, как это явствует из последующей спецификации системы. Он больше входной усилитель небольшой мощности, питаемый сравнительно малым током. Устройство с действительно большим уровнем мощности, эдак в несколько ватт, будет в другой главе.

10.2 Рассмотрение системы

С системной точки зрения нам нужно вначале обозначить, какого рода функции нам нужны. Эти функции будут определены в таблице 10.1.

parameter	description	min	typ	max	unit
F_o	frequency of operation	863	868.6	870	MHz
I_{cc}	current consumption		20	25	mA
Z_{in}	input impedance		50		Ω
Z_{out}	output impedance		50		Ω
P_{in}	input power	-15	-10	-8	dBm
P_{out}	input power	5	10	12	dBm
V_{cc}	DC supply voltage	2.45	2.5	2.55	V

Таблица 10.1. Спецификация системы для разработки PA (power amplifier)

Соображения стоимости очень важны, а, значит, можно использовать только один активный компонент, и BOM⁸³ должен быть сокращен, как только возможно.

83 Bill Of Material (спецификация материалов)

Разработка должна работать на FR4 PCB, используемой в производственной линии. Параметры такой основы плохо контролируются, но могут быть описаны, пока вы сохраняете того же поставщика (избегайте странных поставщиков, которые могут изменить состав FR4 без уведомления).

Как отмечено ранее, вы можете описать подложку внутри библиотеки следующими строками:

```
<SUBST FR4_100-30 24 00
"4.7" 1 "0.7 mm" 1 "35 um" 1 "2e-4" 1 "0.022e-6" 1 "0.15e-6" 1
>
```

Толщина подложки 0.7mm, но это описывает только один RF слой полной реализации схемы, которая имеет четырехслойную плату. Два внутренних слоя – это питание и земля, верхний и нижний слои – RF.

10.3 Соображения по смещению

В этом разделе мы рассмотрим, как сделать смещение, особенно используя эмиттерную обратную связь. Если вы хорошо помните справочные данные транзистора, есть подробное описание hFE и несколько других элементов, которые следует принять в расчет: сопротивление, напряжение питания, . . .

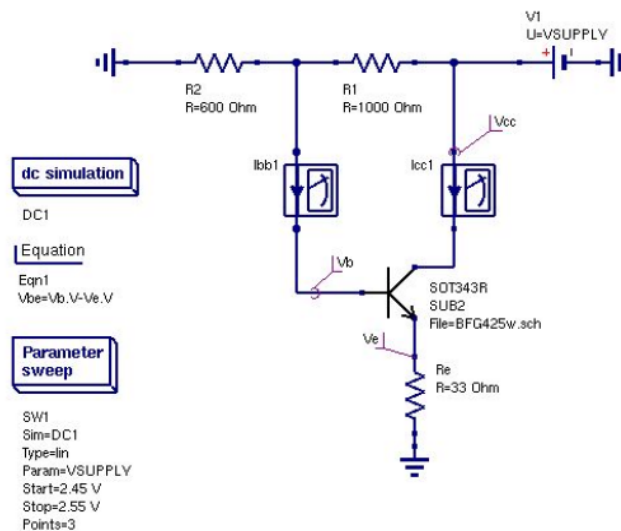


Рис. 10.1. Схема, используемая для изучения

Используемая схема показана на рис. 10.1. Но нам нужно вначале оценить компоненты.

Произведя небольшие подсчеты, легко вычислить разные сопротивления:

полагая, что

$$I_c = \beta I_b \quad (10.1)$$

$$I_{biasBridge} \ll I_b \quad (10.2)$$

$$I_{biasBridge} = \frac{I_c}{10} \quad (10.3)$$

$$R_e = \frac{V_{ce} - V_{ce}}{I_c} \quad (10.4)$$

$$R_1 + R_2 = \frac{10 \times V_{ce}}{I_c} \quad (10.5)$$

$$R_2 = \frac{10}{I_c} \times (V_{ce} - V_{ce} + V_{be}) \quad (10.6)$$

ВХОДЫ:

- $V_{cc} = 2.5V$
- $V_{be} = 0.412V$
- $I_c = 15mA$

результаты:

- $R_1 = 1K\Omega$
- $R_2 = 600\Omega$
- $R_e = 33\Omega$

Используя эти значения в схеме, мы теперь можем увидеть стабильность разработки. Добавим тот факт, что регулятор напряжения, использованный в данном случае, имеет пульсации в 5 mV в рабочей области. Вам нужно симулировать DC схему с модификацией BF параметра транзистора от 50 до 120 (поскольку эта возможность не доступна в текущей версии Qucs 0.0.7).

V_{cc} vs β	50	80	120
2.45	12.21	13.34	14.07
2.50	12.62	13.78	14.54
2.55	13.03	14.23	15.01

Таблица 10.2. Вариации I_c в mA из-за V_{cc} и β

Из этой таблицы мы можем извлечь некоторый показатель стабильности:

$$\frac{\Delta I_{cc}}{\Delta V}|_{\beta=80} = 8.9\mu A/mV \quad (10.7)$$

$$\frac{\Delta I_{cc}}{\Delta \beta}|_{V_{cc}=2.5} = 30\mu A \quad (10.8)$$

$$\frac{\Delta I_{cc}}{\Delta T}|_{\beta=\text{seenote}, V_{cc}=2.5} = \dots \mu A/C \quad (10.9)$$

Заметьте: для получения температурной зависимости нам нужно взять минимальное β для минимальной температуры, и максимальное β для максимальной температуры.

10.4 Почему температурная разработка?

Объективно температурная разработка в электронном оборудовании осуществляется для поддержки при небольшом подъеме температуры, ΔT , выше температуры окружающей среды, и как правило при производстве электронных компонент. На практике, небольшой от 3°C до 5°C подъем температуры компонента почти неизбежен, и в действительности даже желателен. Если подъем меньше этого, могут быть даже большие проблемы, относящиеся к влажности, коррозии и появлению токов утечки.

- Улучшение поведения: отсутствует калибровочный дрейф, поддерживается фазовый сдвиг в контуре обратной связи, стабилизируется усиление, ...
- Улучшение надежности: останавливается механизм, ускоряемый при больших температурах, переноса металла, увеличивается подвижность ионов, ...
У большинства электронных компонент диапазон отказов удваивается для подъема температуры в 10°C – 15°C , и подъем экспоненциальный! А температурные колебания даже хуже. Подъем температуры практически затруднен для компонент, которые зависят от внутренних жидкостей, таких как электролитические конденсаторы, батареи и подшипники со смазкой. Усложненная температурная разработка становится необходима, когда устройства уменьшаются, что увеличивает плотность монтажа. Примеры: VLSIC и технология поверхностного монтажа SMT.
- Улучшение жизни: увеличение ΔT увеличивает механический стресс, сказывается на соединениях, металлизации контактов,...

10.4.1 Управление температурой

Объективно управление температурой – это разработка внутреннего температурного окружения электронного оборудования так, чтобы исполнение оборудования отвечало ожиданиям покупателя. В диапазоне условий окружающей среды, где оборудование должно эксплуатироваться, оно должно соответствовать спецификации и требуемой надежности. В основном, разработчик слабо контролирует внешнее окружение, так что он должен рассчитывать на расширенный диапазон. Ему больше доступен контроль за внутренним окружением, но его внимание должно быть направлено на конечную цель – поддерживать подходящее окружение для критических компонент. Анализ температурного окружения может обычно делиться на несколько явных частей, определяемых почти изотермическими границами. При рассмотрении типичной закрытой системы изотермические границы можно провести:

- корпус при T_e
- внутреннее пространство при T_b
- компонент при T_c

За счет этих границ, ΔT_{jc} , ΔT_{ca} и ΔT_{ja} могут быть найдены независимо. ΔT_{ae} и $\Delta T_{e\infty}$ могут также быть найдены независимо для закрытого кожуха, но будут внутренне зависимы для вентилируемого или принудительно охлаждаемого корпуса.

Аппроксимация проблемы. На этапе определения продукта выбор корпуса временами диктуется конкурентами, покупателями или маркетинговыми соображениями. Зачастую выбор становится – «как можно меньше», таким образом, невольно переходя на уровень детального рассмотрения, при этом, возможно, следует сделать температурный анализ предлагаемых корпусов. Если окружение, созданное для компонента, не подходит, тогда должен быть разработан дополнительный механизм охлаждения. Одно из приближений – в упрощении проблемы до одномерного анализа. Источники тепла надумано ровно распределены по всему пространству. Поверхность корпуса намеренно становится изотермической. Корпус рассматривается как великолепный проводник тепла (к сожалению, корпуса все больше и больше делаются из пластика, тепло-изолятора, который осложняет этот образец приближения).

Внешнее окружение рассматривается как стена большой комнаты с поверхностью имеющей излучающую способность ε , 1.0 при той же температуре, T_∞ , что и окружающий воздух, и способностью абсорбировать бесконечное количество тепловой энергии.

Тепло передается через проводимость, излучение, свободную конвекцию, вентиляцию и принудительную конвекцию, что в основном представлено уравнением:

$$Qt = Qk + Qr + Qc + Qv + Qf \quad (10.10)$$

Наиболее трудный компонент, температурное сопротивление θ_t , может варьироваться от простого до очень сложного. К счастью, большинство корпусов для электроники не имеют больше трех путей охлаждения, и во многих случаях третий путь второстепенный, им можно пренебречь для облегчения расчетов. Вот некоторые в основном принимаемые директивы, которые могут использоваться для быстрой оценки конфигурации разработки. Они были получены из примечаний снабженных [?]. Максимальная плотность энергии:

- для маленьких окрашенных равномерно подогреваемых герметизированных корпусов

– естественно охлаждаемых $< 4\text{mW/cm}^3$

– выше $60\text{cm} < 2\text{mW/cm}^3$

- для естественно охлаждаемых крашенных плат $< 16\text{mW/cm}^2$
- для крашенных плат с принудительным охлаждением воздуха $< 110\text{mW/cm}^2$
- для маленьких (60cm или меньше) охлаждаемых форсированной тягой корпусов $< 20\text{mW/cm}^3$

скорости принудительного обдува:

- для PCB кассет $> 4\text{m/sec}$
- для корпусов $< 7.6\text{m/sec}$

10.5 Рассеивание DC мощности

Важным вопросом разработки усилителя мощности является рассеивание мощности. Даже, если в этом частном случае, рассеивания мощности нет, что очевидно, не плохо бы посмотреть, как мы смогли бы осуществить это.

Как студент, вы всегда знаете, что вы можете применить закон Кирхгофа к температуре. Вот то небольшое, что вы должны знать – соответствие:

Температура: эквивалентна напряжению

Мощность: эквивалентна току

Тепловое сопротивление: эквивалентно сопротивлению

Вы также должны принимать в расчет некоторую тепловую емкость и возмущения от близких воздействий других источников тепла, в разработке динамики, но здесь мы будем рассматривать только рассеивание мощности DC . . . отталкиваясь от этой точки, вы можете затем представить все, что захотите.

В порядке продолжения, нам нужно создать модель для этого рассеяния мощности. Модель может быть очень простой в ее понимании, но очень сложной из-за того, что все параметры не достаточно хорошо известны. Следовательно, нам нужно уменьшить уровень моделизации, который будет использован.

Вот входные параметры:

- DC рассеиваемая мощность $15\text{mA} \times 2.5\text{Volts} = 37.5\text{mW}$
- тепловое сопротивление устройства $\theta_{\text{junction-solder}} = 350\text{degC/W}$

- тепловое сопротивление окружения $\theta_{\text{pcb-air}} = 22 \text{ degC/W}$
- окружающая температура варьируется от -25 degC до 75 degC , норма 25 degC

Схема, использованная для этой симуляции показана на рис. 10.2⁸⁴.

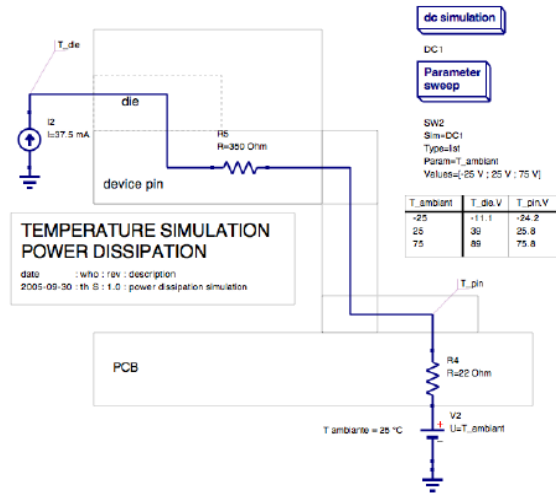


Рис. 10.2. Схема, использованная для симуляции рассеивания мощности DC

10.6 Анализ на маленьком сигнале

Текущая версия QUCS не включает обработки гармонического баланса, так что нам нужно сделать некоторые другие симуляции в порядке получения каких-то идей по осуществлению нашей разработки.

⁸⁴ Отметьте возможность размещения результатов симуляции непосредственно на схеме, и некоторых компонент, таких как имя документа, исправления и т. д.

11 Разработка маломощного усилителя

В этом разделе будут описаны два каскада LNA. Основная цель – показать, как мы можем разработать эти LNA, используя программное обеспечение QUCS, но также найти новаторскую разработку для энергосберегающих⁸⁵ решений.

Основная разница, как вы должны знать, между PA (усилитель мощности) и LNA (low noise amplifier – маломощный усилитель) в том, что в разработке LNA фактор шума решающий, и, следовательно, разработка должна быть несколько иной, чем при разработке только усиления. Это правило разработки хорошо объясняется на всех курсах по RF, так что я сразу перейду к решению, объясняя «пирог», а не «рецепт»!

Как отмечалось ранее, особое внимание будет уделено изучению DC, поскольку полное потребление тока – это критическая точка, а фактор шума, это то, что мы должны получить.

11.0.1 Системные соображения

С системной точки зрения нам нужно вначале обозначить, какого рода функции нам нужны. Эти функции будут собраны в таблице 11.1.

parameter	description	min	typ	max	unit
F_o	frequency of operation	863	868.6	870	MHz
I_{cc}	current consumption		0.5	1	mA
Z_{in}	input impedance		50		Ω
Z_{out}	output impedance		50		Ω
P_{in}	input power	-120	-110	-90	dBm
V_{cc}	DC supply voltage	1.4	1.5	1.6	V

Таблица 11.1. Спецификация системы для разработки LNA

Примечание: для питающего напряжения DC, мы должны найти корректные пульсации, которые приемлемы в данной разработке в плане возможности специфицировать регулятор напряжения и его PSRR относительно другого напряжения в разработке. Чтобы продолжить, по причине того, что некоторая функциональность еще отсутствует в QUCS⁸⁶, мы будем использовать некоторые обходные пути для изучения DC.

⁸⁵ Будьте внимательны, когда я обычно использую термин низкое потребление, я имею в виду крайне низкое потребление, ниже mA в основном.

⁸⁶ Обычно это еще в стадии разработки . . .

11.0.2 Выбор транзистора

В плане разработки LNA особое внимание должно быть уделено этому выбору. Следовательно, вам нужно иметь транзистор, который хорошо разработан для очень маленького тока и применения в LNA.

Я буду использовать BF G403AW от philips⁸⁷. Этот транзистор принадлежит к 5му поколению.

Для непосредственной классификации разных транзисторов, должны быть использованы разные версии.

Параметры следующие:

```
TO BE UPDATED WITH THE CORRECT ONE
.SUBCKT BFG403W 1 2 3
L1 2 5 1.1E-09
L2 1 4 1.1E-09
L3 3 6 0.25E-09
Ccb 4 5 2.0E-15
Cbe 5 6 80.0E-15
Cce 4 6 80.0E-15
Cbpb 5 7 1.45E-13
Cbpc 4 8 1.45E-13
Rsb1 6 7 25
Rsb2 6 8 19
Q1 4 5 6 6 NPN

.MODEL NPN NPN
bla bla bla
bla bla bla
bla bla bla
bla bla bla
bla bla bla
bla bla bla
.ENDS
```

В порядке выполнения некоторых симуляций мы должны добавить этот компонент в библиотеку устройств, как об этом говорилось в главе, посвященной моделированию ВТТ, и создать схему, использующую это устройство. Паразитные элементы те же, поскольку корпус используется то же, что и для BF G425W.

11.0.3 Создание библиотеки

Основной проблемой в этой разработке будет тот факт, что нужный ток для LNA не упоминается в уже измеренных S-параметрах от производителя. Это одна из причин, почему нам нужна специальная нелинейная модель для описания транзистора.

Конечно, должен быть сделан предварительный расчет с использованием этих типовых параметров, но, поскольку нам нужны также некоторые другие свойства, такие как искажения и т. д., нелинейная модель то, что нужно.

⁸⁷ У меня нет особой тяги к philips, но они легко обеспечивают некоторыми прототипами и моделями своих транзисторов, более того их стратегия – продолжать поддерживать маленькие широкополосные RF транзисторы, так что, почему бы и нет?

В порядке ведения этой проверки нам нужно создать модель нашего компонента. Для выполнения этого вы должны создать или отредактировать файл, содержащий все библиотеки. Файл расположен

```
/usr/local/share/qucs/library/philips_RF_widebande_npn.lib
```

Вы можете редактировать этот файл с помощью редактора vi. Вам нужно добавить следующие строки:

```
<Qucs Library 0.0.7 "philips RF wideBand">
...
...
...
<Component BFG403W>
  <Description>
    RF wideband NPN 25GHz
    2V, 3mA, 20dB , 2000MHz
    Manufacturer: Philips Inc.
    NPN complement: BFG403W
    based on spice parameter from philips
    sept 2005 thierry
  </Description>
  <Model>
<_BJT T_BFG403W_ 1 480 280 8 -26 0 0 "npn" bla bla bla bla>
  </Model>
</Component>
...
...
...
```

11.0.4 DC изучение

11.0.5 SP изучение

11.0.6 Изучение нелинейности

11.0.7 Возможные хитрости по улучшению

12 Разработка микрополосковых линий

12.1 10dB направленный разветвитель, разработка

Картинки ниже показывают две параллельные проводящие полоски на диэлектрической подложке с металлизацией обратной стороны. Обе проводящие полоски имеют ширину W , высоту t и длину l . Есть конечный зазор S между полосками. Высота подложки обозначена как h . С зазором между проводящими полосками обнаруживается достаточно маленькие емкостная и индуктивная связь.

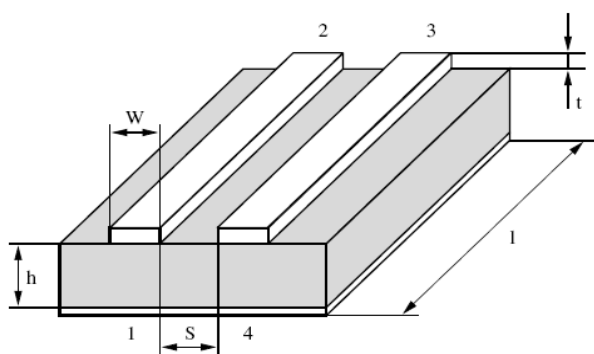


Рис. 12.1. Микрополосковый направленный разветвитель

Такая микрополосковая структура называется «микрополосковые связанные линии». Также определены на рис. 12.1 порты номер 1. . . 4.

12.1.1 Немного предварительной скучной теории

Есть два типа направленных ответвителей: обратный (ответвление от 1 к порту 4) и прямой (ответвление от порта 1 к порту 3) ответвители.

S-параметры идеального направленного обратного ответвителя следующие (с C обозначением коэффициента связи).

$$\begin{aligned}
S_{21} &= \sqrt{1 - C^2} \\
S_{41} &= C \\
S_{31} &= 0 \\
S_{11} = S_{22} = S_{33} = S_{44} &= 0
\end{aligned}$$

В трех проводниковой системе – а именно таковы микрополосковые ответвители – есть два типа режимов: четный и нечетный. Следовательно такая система описывается нечетным и четным характеристическими импедансами ($Z_{L,o}$ и $Z_{L,e}$) и нечетными и четными эффективными диэлектрическими константами ($\epsilon_{r,eff,o}$ и $\epsilon_{r,eff,e}$).
Характеристические уравнения для идеального обратного ответвителя

$$\begin{aligned}
\epsilon_{r,eff,e} &= \epsilon_{r,eff,o} \\
Z_{L,e} &\neq Z_{L,o}
\end{aligned}$$

и для идеального прямого ответвителя

$$\begin{aligned}
\epsilon_{r,eff,e} &\neq \epsilon_{r,eff,o} \\
Z_{L,e} &= Z_{L,o}
\end{aligned}$$

S-параметры идеального прямого направленного ответвителя следующие.

$$\begin{aligned}
S_{21} &= \sqrt{1 - C^2} \\
S_{31} &= C \\
S_{41} &= 0 \\
S_{11} = S_{22} = S_{33} = S_{44} &= 0
\end{aligned}$$

Для обоих идеальных – прямого и обратного – ответвителей коэффициент отражения равен нулю. Порт 1 называется инжекторным (впрыскивающим) портом. Порт 2 – передаточный порт. В обратном ответвителе порт 4 – отвечающий порт, а порт 3 называется изолированным портом. В прямом ответвителе это другой путь обхода.

Пожалуйста, заметьте: Данные S-параметры для прямого и обратного ответвителей справедливы для всех концов сторон каждого порта с импедансом связи Z_L – обычно 50.

12.1.2 Уравнения разработки

В микроволновых лабораториях обратные линейные ответвители распространены больше всего. Базовые уравнения разработки могут быть записаны как

$$\begin{aligned}C &= \frac{Z_{L,e} - Z_{L,o}}{Z_{L,e} + Z_{L,o}} \\ \beta \cdot l &= \frac{\pi}{2} \\ Z_L^2 &= Z_{L,o} \cdot Z_{L,e} \\ Z_{L,e} &= Z_L \cdot \sqrt{\frac{1+C}{1-C}} \\ Z_{L,o} &= Z_L \cdot \sqrt{\frac{1-C}{1+C}}\end{aligned}$$

С

$$\begin{aligned}\beta \cdot l &= \frac{\pi}{2} \\ \leadsto l &= \frac{\pi}{2 \cdot \beta} = \frac{\pi \cdot c}{2 \cdot \omega} = \frac{c}{4 \cdot f} = \frac{\lambda}{4}\end{aligned}$$

длина l такого ответвителя определяется четвертью длины волны. Оба характеристических импеданса могут быть вычислены через импеданс связи Z_L , то есть, 50, и коэффициент ветвления C .

12.1.3 Использование уравнений разработки

С предыдущими определениями легко разработать 10dB направленный обратный ответвитель. Мы имеем импеданс связи $Z_L = 50\Omega$ и коэффициент ветвления C в dB. Вначале мы линеаризуем коэффициент ветвления.

$$\begin{aligned}C_{dB} &= -10dB \\ \leadsto C &= 10^{C_{dB}/20} = 10^{-0.5} \approx 0.316\end{aligned}$$

Теперь мы вычислим нечетный и четный импедансы.

$$\begin{aligned}Z_{L,e} &= Z_L \cdot \sqrt{\frac{1+C}{1-C}} \approx 69.4\Omega \\ Z_{L,o} &= Z_L \cdot \sqrt{\frac{1-C}{1+C}} \approx 36.0\Omega\end{aligned}$$

12.1.4 Что дальше?

Все это скучная теория, можете подумать вы... С импедансами на руках инженер

должен уйти в магические диаграммы и найти физические размеры своего ответвителя. Но теперь здесь есть Qucs.
Все становится легче.

Только выберите Инструменты → Расчет линии в основном меню или нажмите **Ctrl+3** для начала расчета линии передачи.

Затем выберите Связанная микрополосковая линия в окне выбора Тип линии передачи. Появится нечто похожее на показанное на рис. 12.2.

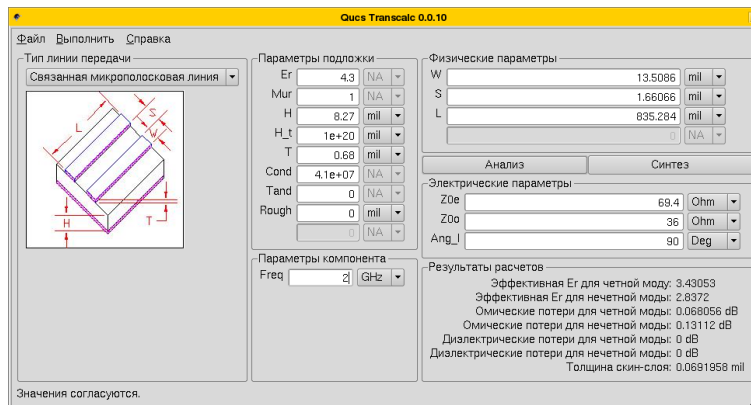


Рис. 12.2. Qucs Transcalc

Введите 69.4 в поле Z_{0e} , 36.0 в поле Z_{0o} и 90 в Ang_1 поле панели Электрические параметры. Поле Ang_1 указывает желаемую электрическую длину линии (помните: $90^\circ \approx \pi/2$). Выберем единицы Deg.

Наша выбранная частота разработки 2GHz. Следовательно, введите это значение в поле Freq панели Параметры компонента.

Затем нажмите клавишу Синтез (Выполнить в меню) или нажмите **F4**. Программа рассчитает физические параметры W, S и L на панели Физические параметры.

Пожалуйста, заметьте: В зависимости от подложки (показанной на панели Параметры подложки) вычисленные значения могут варьироваться.

Окончательно мы получаем

$$\begin{aligned} W &= 520 \mu\text{m} \\ S &= 199 \mu\text{m} \\ L &= 14.93 \text{mm} \end{aligned}$$

Разработка закончена... Чувствуете себя немного лучше?

12.1.5 Проверка разработки

Ок. Давайте проверим, что мы так долго разрабатывали. Выберите Выполнить → Скопировать в буфер из меню или нажмите **F2**. Это скопирует текущую, показанную микрополосковую линию в Qucs Transcalc, в общий буфер обмена.

Теперь переключитесь в пустое окно схемы Qucs и нажмите **Ctrl+V**. Этим вы вставите содержимое буфера обмена, и щелкните левой клавишей мышки, чтобы разместить выбранное на схеме. Это должно дать вам нечто похожее на рис. 12.3.

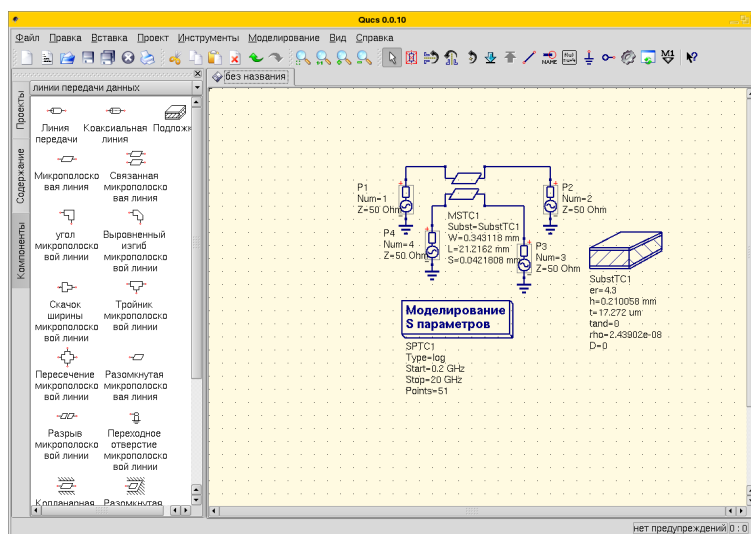


Рис. 12.3. Связанные микрополосковые линии в схеме Qucs

Теперь нажмите клавишу уравнения (показанную на рис. 12.4) на инструментальной панели Qucs.



Рис. 12.4. Клавиша уравнения

Поместите уравнение в схему и введите следующее уравнения. Нажмите Добавить в диалоге уравнений (см. рис. 12.5) для добавления новых уравнений. И наконец нажмите клавишу ОК.

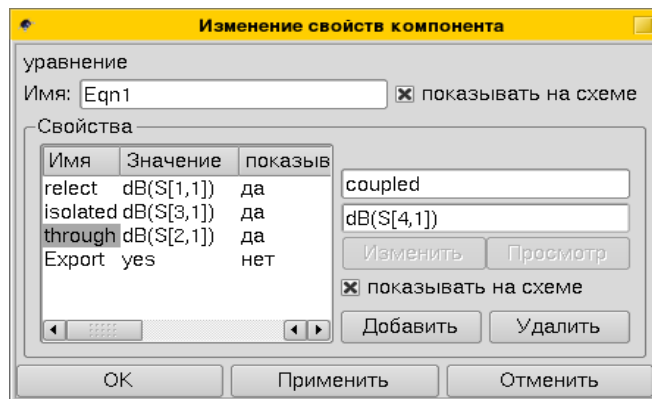


Рис. 12.5. Диалог уравнения

Также отредактируем свойство компонента MSTC1, уменьшив некоторые цифры. Это обеспечит способность нашей технологии использовать эти значения, когда (если) они решат производить вашу разработку.

Теперь отредактируем свойства симуляции S-параметров. Вы должны сделать это либо дважды щелкнув по компоненту и используя диалог компонентов, либо вы можете непосредственно щелкнуть по значениям в схеме и вставить 0.2 GHz для Start, 4.2 GHz для Stop и 101 для Points.

В завершение сохраните вашу схему, нажав **Ctrl+S**. Проверьте, все ли выглядит похоже на рис. 12.6.

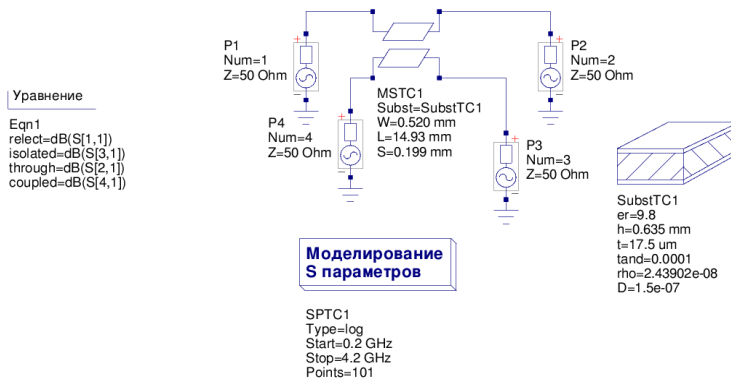


Рис. 12.6. Окончательная схема микрополоскового ответвителя

Теперь выберите Моделирование → Моделировать из основного меню или просто нажмите **F2** для симуляции схемы.

Когда окно симуляции исчезнет, выберите Декартовы координаты (Cartesian diagram) из левого окна выбора и поместите диаграмму в (пока пустое) окно отображения данных. Дважды щелкните по through, reflect, isolated и coupled данным с тем, чтобы добавить их в диаграмму, внутри окна диалога диаграммы, как показано на рис. 12.7.

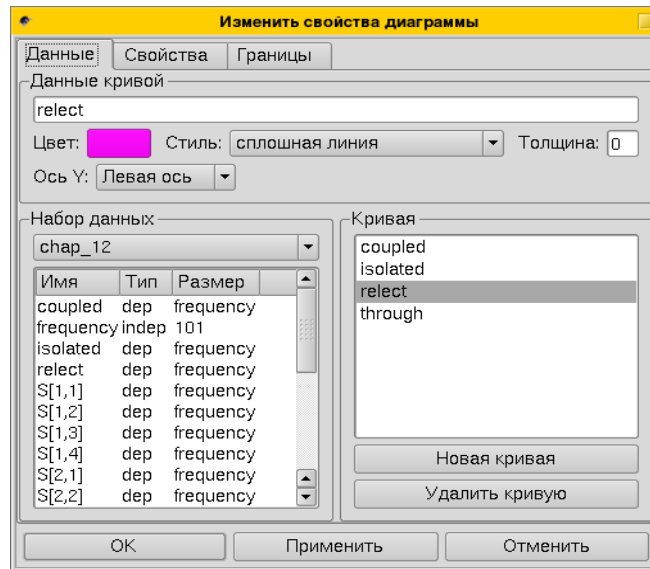


Рис. 12.7. Диалог диаграммы

Нажмите **ОК** для завершения диалога диаграммы. После всего вы увидите следующую диаграмму.

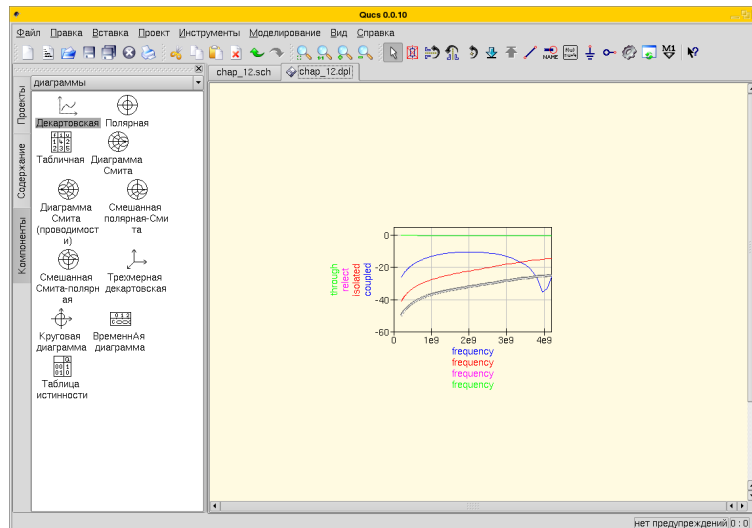


Рис. 12.8. Результаты симуляции микрополоскового ответвителя

12.1.6 Предлагаемые улучшения

Используя диалог диаграмм (двойной щелчок по диаграмме), вы можете улучшить⁸⁸ визуализацию данных, чтобы видеть ее достойным образом. Я вручную зафиксировал ограничения по у-оси, установил маркеры и установил толщину кривой в 2 точки. Также я ввел общую метку х-оси. Посмотрите на рис. 12.9, как она выглядит теперь.

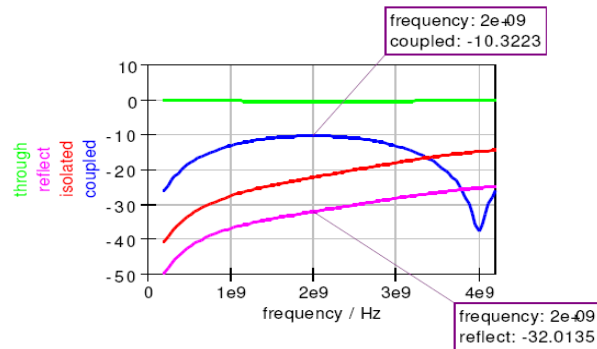


Рис. 12.9. Диаграмма результатов симуляции направленного ответвителя

Маркер на кривой ответвителя показывает коэффициент связи -10.32 на частоте 2GHz (дважды щелкните по маркеру, чтобы изменить точность маркируемых данных). Это размах, которого ради мы пытались осуществить разработку.

Кажется связь между линиями чуть-чуть слаба. Что ж, мы уменьшим зазор между полосковыми проводниками **S** по 16.5 μm до 0.1825 mm, и симулируем опять.

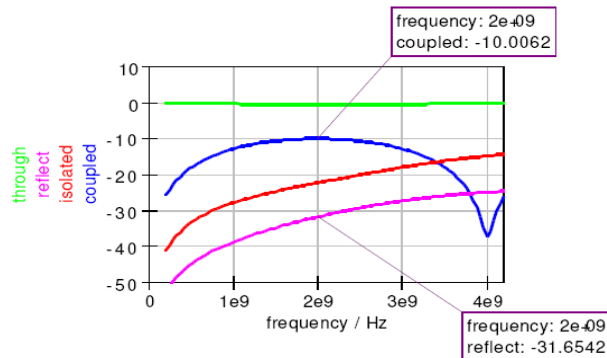


Рис. 12.10. Диаграмма оптимизированных результатов симуляции направленного ответвителя

⁸⁸ ... чтобы чувствовать еще лучше.

Окончательно, великолепный⁸⁹ 10dB ответитель показан на рис. 12.10.

12.1.7 Оставшиеся размышления

Диаграмма на рис. 12.10 показывает коэффициент отражения около -31.7dB. Изоляция (около -22.2dB) не столь хороша, как планировалась. Так что же случилось с моими уравнениями разработки?

Взглянем на рис. 12.2. В Панели результатов калькуляции вы видите **ErEff Even** и **ErEff Odd** различающиеся значительно, и они не те, что мы ожидали от идеального обратного ответителя:

$$\epsilon_{r,eff,e} = \epsilon_{r,eff,o}$$

Эта «проблема» происходит от того, что есть два запутывающих диэлектрика: воздух и подложка. Часть электромагнитных полей пересекает воздух и часть из них подложку. Вы можете воспрепятствовать этому диэлектрическим покрытием. Это дороже для производства, но улучшит ваши результаты.

13 Ссылочное руководство по выражениям измерений

13.1 Введение

Данное руководство описывает выражения измерений доступные в «Qucs», «Quite Universal Circuit Simulator – Почти универсальный симулятор схем».

Выражения измерений начинают действовать при запуске пост-процесса результатами симуляции «Qucs», переводя, например, графические выходы напряжения симуляции из вольт в децибелы, или среднеквадратичные значения, или определяя пиковые напряжения. Функции измерений «Qucs» предлагают богатый набор средств манипуляции с данными.

Если вы не вполне знакомы с тем, как вводить эти формулы, пожалуйста, обратитесь к главе «Использование выражений измерений», которая рассказывает о возможностях по созданию и изменению выражений измерения. Там же есть спецификация поддерживаемых типов данных. Глава «Синтаксис функций и обзор»

⁸⁹ ... чтобы чувствовать себя великолепно.

вводит в базовый синтаксис функций и список по категориям всех доступных функций. Ядро документа, детальная компиляция всех функций «Qucs», разделенных по категориям, находится в главах «*Математические функции*» и «*Электрические функции*». И, наконец, приложение содержит алфавитный список всех функций.

13.2 Использование выражений измерений

Глава описывает использование математических выражений для пост-процесса симуляции данных в «Qucs», как ввести формулы и модифицировать их. Она дает беглое описание всего синтаксиса этих выражений.

13.2.1 Ввод выражений измерений

Выражения измерений генерируют новые наборы данных с помощью функций или операторов, ведомых вычислениями результатов симуляции. Эти новые наборы доступны в таблицах отображения данных после симуляции. Соответствующие уравнения могут быть введены в редакторе схем следующими способами:

- Используя иконку уравнений на инструментальной панели (см. рис. 13.1)
- Используя пункт меню «Вставить» → «Вставить уравнение»

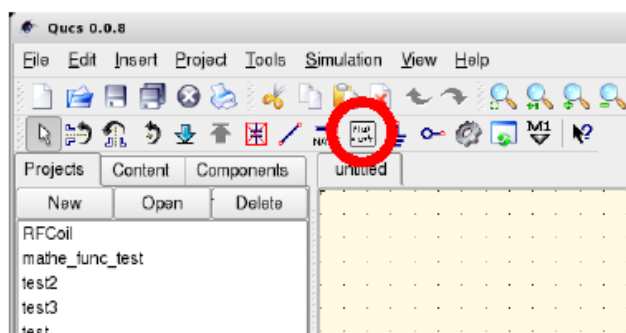


Рис. 13.1. Введение нового выражения измерения с помощью иконки уравнения

Теперь вы можете поместить символ уравнения щелчком мышки где-нибудь на схеме. Каждый щелчок мышки создает новый образец уравнения, содержащий некоторое количество переменных выражения измерения. Нажмите клавишу **Esc**, если вам больше не нужно вставлять уравнения.

Другая возможность – выбрать существующее уравнение, скопировать его (либо с помощью пункта меню «Правка → Копировать», либо с помощью клавиш **Ctrl+C**⁹⁰) и

⁹⁰ **Ctrl + C** означает, что вы должны нажать клавиши **Ctrl** и **C** одновременно.

вставить (либо с помощью пункта меню «Правка» → «Вставить» или с помощью **Ctrl +V**).

После успешного создания образца уравнения вы можете модифицировать его.

13.2.2 Изменение выражений измерений

Ради простоты мы подразумеваем, что вы только что сгенерировали новое уравнение (если вы изменили существующее, более сложное уравнение, последующие шаги остаются теми же самыми).

Значит, отображение вашей схемы будет выглядеть похожим на то, что на рис. 13.2.

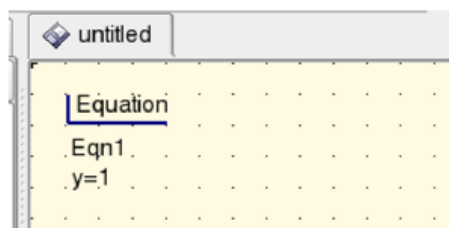


Рис. 13.2. Вновь созданное уравнение

Теперь вы можете манипулировать текущим именем образца уравнения. Просто щелкните по «Eqn1», которое станет подсвечено, затем введите новое имя для него, и завершите ваши действия с помощью клавиши **Enter**.

После этого вы можете ввести новое уравнение. Вновь щелкните по «y=1». Только «1» будет отмечена, и здесь вы можете ввести новое выражение. Пожалуйста, используйте переменные, операторы и константы, описанные в главе «Синтаксис выражений измерений». Заметьте, что вы можете также ссылаться на результаты (зависимые) других уравнений. Но как изменить имя текущей зависимой «у»? Щелкните правой клавишей мышки по уравнению, и откроется меню содержания. Выберите первый раздел, названный «Редактировать свойства». Откроется новое окно, которое будет выглядеть как на рис. 13.3. Альтернатива для ввода уравнения – двойной щелчок по уравнению.

Теперь вы можете изменить имя зависимой переменной, и само уравнение (которое было «1» в показанном примере), и имя уравнения. Если вы не хотите, чтобы результаты были экспортированы в таблицу отображаемых данных, а только временно нуждаетесь в них для дальнейших вычислений, выберите «нет» в ячейке «Экспорт значения».

13.2.3 Синтаксис выражений измерений

Имена функций, имена переменных и имена констант – все они чувствительны к регистру в выражениях измерений. Это выражается в различии между прописными буквами, как 'a' и заглавными, как 'A'.

В функциях запятые используются для разделения аргументов.

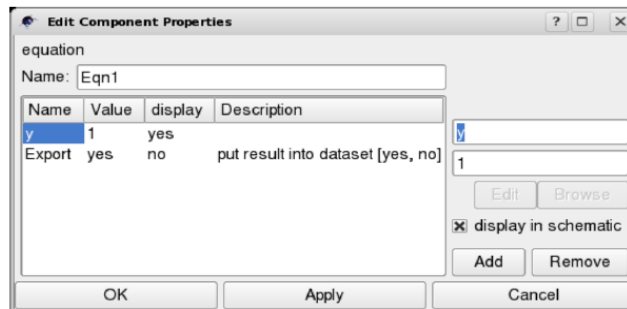


Рис. 13.3. Редактирование свойств уравнения

Имена переменных

Определенные пользователем имена переменных состоят из букв, сопровождаемых любым количеством букв, цифр или подчеркиваний.

Синтаксис имен переменных, создаваемых симулятором «Qucs», специфицирован в таблице 13.1. Пожалуйста, отметьте, что все напряжения и токи в «Qucs» – это пиковые значения, исключая напряжения шумов и токов, которые имеют значения rms в полосе 1Hz.

Числа

Числа записываются в общепринятой десятичной манере с дополнительной десятичной точкой между цифрами. Для степеней десяти используется хорошо известная научная нотация с 'e'. Таки образом, '1.234e6' – пример для действительного числа с плавающей точкой 1234000. Мнимые числа могут быть введены с множителем 'i' или 'j' (см. также таблицу 13.2). Например, '1+2*i' или, если вы хотите выбросить знак умножения, '1+i2'.

Встроенные константы

Константы, которые могут использоваться внутри выражений измерений, даны в таблице 13.2.

Variable Name	Description
<i>nodename.V</i>	DC voltage at node <i>nodename</i>
<i>name.I</i>	DC current through circuit component <i>name</i>
<i>nodename.v</i>	AC voltage at node <i>nodename</i>
<i>name.i</i>	AC current through circuit component <i>name</i>
<i>nodename.vn</i>	AC noise voltage at node <i>nodename</i>
<i>name.in</i>	AC noise current through circuit component <i>name</i>
<i>nodename.Vt</i>	Transient voltage at node <i>nodename</i>
<i>name.It</i>	Transient current through circuit component <i>name</i>
<i>name.OP</i>	<i>name</i> = component name, OP = operating point (device dependent), e.g. D1.Id
S[x,y]	S-parameter, e.g. S[1,1]
Rn	equivalent noise resistance
Sopt	optimal reflection coefficient for minimum noise
Fmin	minimum noise figure
F	noise figure
<i>nodename.Vb</i>	Harmonic balance voltage at node <i>nodename</i>

Таблица 13.1. Синтаксис имен переменных, генерируемых симулятором

Constant	Description	Value
e	Euler's constant	2.718282
i, j	Imaginary unit ($\sqrt{-1}$)	i1
kB	Boltzmann's constant	1.380658e23 J/K
pi	π	3.141593

Таблица 13.2. Встроенные константы

Операторы

Оператор предшествования Выражения вычисляются стандартным образом, именно – слева направо, пока это не меняется скобками. Приоритет операторов также поддержан общепринятым способом, так, например, умножение имеет преимущество перед сложением. Таблица 13.3 специфицирует в рассортированном виде все операторы так, что те, что выше, имеют более высокий приоритет. Операторы, размещенные на одной линии имеют одинаковый приоритет.

Диапазоны Основная номенклатура диапазонов отображена в таблице 13.4. Она показывает одно-мерные диапазоны, хотя и n-мерные диапазоны допустимы, если вы рассматриваете вложенные пространства.

Operator	Name	Example
()	Parentheses, function call	max(v)
^	Exponentiation	3^4
*	Multiplication	3*4
/	Division	3/4
%	Modulo	4%3
+	Addition	3+4
-	Subtraction	3-4
:	Range operator	3:12

Таблица 13.3. Приоритет оператора

Syntax	Explanation
m:n	Range from index m to index n
:n	Range up to index n
m:	Range starting from index m
:	No range limitations

Таблица 13.4. Определение диапазонов

Пост-процесс симуляции данных с выражениями

После запуска симуляции результаты сохраняются в наборе данных. Обычно такие наборы данных – это векторы или матрицы, но могут быть также и действительным или комплексным скаляром. Для анализа переходных процессов эти наборы данных содержат информацию о напряжении или токе по времени, для гармонического анализа они содержат амплитуды и соответствующие частоты, при анализе S-параметров возвращается вектор матриц (то есть, матрицы в зависимости от частоты). В дальнейшем обобщении компонент векторов и матриц содержатся комплексные числа.

Дополнительно наборы данных (datasets) могут генерироваться выражениями. В качестве примера можно указать на функцию `linspace()`, которая создает вектор линейно-протяженных элементов.

13.3 Синтаксис функций и обзор

Эта глава представляет введение а базовый синтаксис описания функций и содержит список, упорядоченный по категориям, всех доступных функций.

13.3.1 Формат ссылочных функций

«Qucs» предоставляет богатый выбор функций, которые могут использоваться для генерации и отображения наборов данных, вычисляемых на основе функций из результатов симуляции. Помимо большого числа стандартных математических функций, таких как квадратный корень (sqrt), экспоненциальная функция (exp), абсолютное значение (abs), встроены функции особенно полезные для вычислений и преобразований электрических значений. Примером последних служат преобразование Ватт в dBm, генерация шумовых циклов в разработку усилителя, или преобразование S-параметров в Y-параметры.

Формат ссылочных функций

В последующих двух главах каждая функция описывается с использованием следующей структуры:

<Функция Имя>

Краткое описание функциональности функции.

Синтаксис

Определяет основной синтаксис этой функции.

Аргументы

Имя, тип, определение диапазона (область определения) и будет ли аргумент обязательным, все будет собрано здесь в таблицу. В случае необязательности параметра специфицируется значение по умолчанию. «Тип - Туре» – список, определяющий аргументы, которые допускают и могут содержать следующие символы:

Symbol	Description
\mathbb{R}	Real number
\mathbb{C}	Complex number
\mathbb{R}^n	Vector consisting of n real elements
\mathbb{C}^n	Vector consisting of n complex elements
$\mathbb{R}^{m \times n}$	Real matrix consisting of m rows and n columns
$\mathbb{C}^{m \times n}$	Complex matrix consisting of m rows and n columns
$\mathbb{R}^{m \times n \times p}$	Vector of p real $m \times n$ matrices
$\mathbb{C}^{m \times n \times p}$	Vector of p complex $m \times n$ matrices

« Определение диапазона» специфицирует допустимый диапазон. Каждый диапазон представлен в скобках, либо “[”или “]”, означающих, что далее, следующее значение диапазона – это либо включение, либо исключение. Начальное значение отделено от конечного запятой. Затем следует завершающее значение, вновь заканчивающееся скобками, либо “[”или“]”. Первая скобка означает “исключить конечное значение”, вторая означает “включить”.

Если диапазон задается для комплексного числа, оно задается действительным или мнимым значением числа. Если диапазон задан для действительного или комплексного вектора или матрицы, он задает реальное или мнимое значение каждого элемента этого вектора или матрицы. Символы означают «включая перечисленные значения» и «исключая перечисленные значения».

Описание

Дает более детальное описание того, что делает функция и что она возвращает. В некоторых случаях присутствуют фоновые данные.

Примеры

Показано применение функции на одном или нескольких простых примерах.

См. также

Даны ссылки на родственные функции. Щелчок мышки по выбранной ссылке приводит к немедленному переходу к этой функции (только в оригинальной версии).

13.3.2 Функции перечисленные по категории

Эта подборка показывает все «Qucs» функции, отсортированные по категориям. Пожалуйста щелкните по выбранной функции, чтобы перейти к ее описанию (только в оригинальной версии).

Математические функции

Векторы и матрицы: создание

`eye()` ... Создает $n \times n$ единичную матрицу
`linspace()` ... Создает действительный вектор с линейно протяженными компонентами
`logspace()` ... Создает действительный вектор с логарифмически протяженными компонентами

Векторы и матрицы: базовые матричные функции

`adjoint()` ... Сопряженная матрица
`array()` ... Вывести единичные элементы
`det()` ... Определитель матрицы
`inverse()` ... Инверсия матрицы
`transpose()` ... Транспозиция матрицы

Элементарные математические функции: базовые действительные и комплексные функции

`abs()` ... Абсолютное значение
`angle()` ... Фазовый угол в радианах комплексного числа. Синоним для "arg"
`arg()` ... Фазовый угол в радианах комплексного числа
`conj()` ... Сопряжение комплексного числа
`deg2rad()` ... Преобразование фазы из градусов в радианы
`imag()` ... Мнимое значение комплексного числа
`mag()` ... Модуль комплексного числа
`norm()` ... Квадрат абсолютного значения вектора
`phase()` ... Фазовый угол в градусах комплексного числа
`polar()` ... Перевод полярных координат в комплексное число
`rad2deg()` ... Преобразование фазы из градусов в радианы
`real()` ... Действительное значение комплексного числа
`signum()` ... Сигнум-функция
`sign()` ... Знаковая функция
`sqrt()` ... Квадрат числа
`sqrt()` ... Корень квадратный
`unwrap()` ... Развертка фазы вектора в радианах

Элементарные математические функции: экспоненциальная и логарифмическая функции

`exp()` ... Экспоненциальная функция
`log10()` ... Десятичный логарифм
`log2()` ... Двоичный логарифм
`ln()` ... Натуральный логарифм (по основанию e)

Элементарные математические функции: тригонометрия

`cos()` ... Функция косинуса
`cosec()` ... Косеканс
`cot()` ... Функция котангенса
`sec()` ... Секанс
`sin()` ... Функция синуса
`tan()` ... Функция тангенса

Элементарные математические функции: Обратные тригонометрические функции

`arccos()` ... Арккосинус (или «обратный косинус»)
`arccot()` ... Арккотангенс
`arcsin()` ... Арксинус (или «обратный синус»)
`arctan()` ... Арктангенс (или «обратный тангенс»)

Элементарные математические функции: гиперболические функции

`cosh()` ... Гиперболический косинус
`cosech()` ... Гиперболический косеканс
`coth()` ... Гиперболический котангенс
`sech()` ... Гиперболический секанс
`sinh()` ... Гиперболический синус
`tanh()` ... Гиперболический тангенс

Элементарные математические функции: обратные гиперболические функции

`arcosh()` ... Гиперболический арка-косинус
`arcoth()` ... Гиперболический арка-котангенс
`arsinh()` ... Гиперболический арка-синус
`artanh()` ... Гиперболический арка-тангенс

Элементарные математические функции: округление

`ceil()` ... Округление до следующего большего целого
`fix()` ... Усечение десятичного разряда из действительного числа
`floor()` ... Округление до следующего меньшего целого
`round()` ... Округление до ближайшего целого

Элементарные математические функции: специальные математические функции

`besseli0()` ... Модифицированная функция Бесселя порядка ноль
`besselj()` ... Функция Бесселя n-го порядка
`bessely()` ... Функция Бесселя второго рода n-го порядка
`erf()` ... Функция ошибки
`erfc()` ... Комплементарная функции ошибки
`erfinv()` ... Инверсная функция ошибки
`erfcinv()` ... Инверсная комплементарная функция ошибки
`sinc()` ... Функция Sinc (синхронизация)
`step()` ... Функция Step (шаг)

Анализ данных: базовые статистики

`avg()` ... Среднее векторных элементов
`cumavg()` ... Совокупное среднее векторных элементов
`max()` ... Максимальное значение
`min()` ... Минимальное значение
`rms()` ... Корень из квадрата среднего векторных элементов

runavg() ... Скользящее среднее векторных элементов
stddev() ... Стандартное отклонение векторных элементов
variance() ... Расхождение векторных элементов

Анализ данных: базовые операции

cumprod() ... Совокупное произведение векторных элементов
cumsum() ... Совокупная сумма векторных элементов
interpolate() ... Эквидистантная сплайн интерполяция данных вектора
prod() ... Произведение векторных элементов
sum() ... Сумма векторных элементов
xvalue() ... Возвращает x-значение, ассоциированное с y-значением около a,
специфицированного y-значением в заданном векторе
yvalue() ... Возвращает y-значение заданного вектора, локализованного ближе
всего к специфицированному x-значению

Анализ данных: дифференцирование и интегрирование

diff() ... Дифференцировать вектор, касающийся другого вектора
integrate() ... Интегрировать вектор

Анализ данных: обработка сигналов

dft() ... Дискретное Фурье преобразование
fft() ... Быстрое Фурье преобразование
idft() ... Инверсное дискретное Фурье преобразование
ifft() ... Инверсное быстрое Фурье преобразование
Time2Freq() ... Интерпретированное дискретное Фурье преобразование
Freq2Time() ... Интерпретированное инверсное дискретное Фурье преобразование
kbd() ... Кайзер-Бесселя производное окно

Электронные функции

Конверсия единиц

dB() ... dB значение
dbm() ... Преобразование напряжения в мощность в dBm
dbm2w() ... Преобразование мощности в dBm в мощность в Watts
w2dbm() ... Преобразование мощности в Watts в мощность в dBm

Коэффициенты отражения и VSWR

rtoswr() ... Преобразование k-та отражения в напряжение k-та стоячей волны -
voltage standing wave ratio (VSWR)
rtoy() ... Преобразование k-та отражения в проводимость
rtoz() ... Преобразование k-та отражения в импеданс
ytor() ... Преобразование проводимости в k-т отражения
ztor() ... Преобразование импеданса в k-т отражения

N-порт матричные преобразования

`stos()` ... Преобразование матрицы S-параметров в матрицу S-параметров с разным опорным импедансом(ми)
`stoy()` ... Преобразование матрицы S-параметров в матрицу Y-параметров
`stoz()` ... Преобразование матрицы S-параметров в матрицу Z-параметров
`twoport()` ... Преобразование двух-портовой матрицы из одного представления в другое
`ytos()` ... Преобразование матрицы Y-параметров в матрицу S-параметров
`ytoz()` ... Преобразование матрицы Y-параметров в матрицу Z-параметров
`ztos()` ... Преобразование матрицы Z-параметров в матрицу S-параметров
`ztoy()` ... Преобразование матрицы Z-параметров в матрицу Y-параметров

Усилители

`GaCircle()` ... Окружности с постоянным допустимым усилением мощности G_a в плане источника
`GpCircle()` ... Окружность(и) с постоянным оперативным усилением мощности G_p в плане нагрузки
`Mu()` ... Mu фактор стабильности двух-портовой матрицы S-параметров
`Mu2()` ... Mu' фактор стабильности двух-портовой матрицы S-параметров
`NoiseCircle()` ... Генерирует окружность(и) с постоянной фигурой(ми) шумов
`PlotVs()` ... Возвращает группу данных базисных на векторе или матрице векторов с зависимостью от данного вектора
`Rollet()` ... Rollet фактор стабильности двух-портовой матрицы S-параметров
`StabCircleL()` ... Окружность стабильности в плане нагрузки
`StabCircleS()` ... Окружность стабильности в плане источника

13.4 Математические функции

13.4.1 Векторы и матрицы

Создание

`eye()`

Создает n x n единичную матрицу.

Синтаксис

`y=eye(n)`

Аргументы

Name	Type	Def. Range	Required
n	N	[1, +∞[√

Описание

Эта функция создает n x n единичную матрицу вида

$$\begin{pmatrix} 1 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 \\ \vdots & 0 & \ddots & 0 & \vdots \\ 0 & \dots & 0 & 1 & 0 \\ 0 & 0 & \dots & 0 & 1 \end{pmatrix}$$

Пример

`y=eye(2)` возвращает

1	0
0	1

См. также

linspace()

Создает действительный вектор с линейно протяженными компонентами.

Синтаксис

```
y=linspace(xs,xe,n)
```

Аргументы

Name	Type	Def. Range	Required
xs	R	$] -\infty, +\infty[$	√
xe	R	$] -\infty, +\infty[$	√
n	N	$[2, +\infty[$	√

Описание

Эта функция создает действительный вектор с n линейно-протяженными компонентами. Первый компонент – это xs, последний xe.

Пример

```
y=linspace(1,2,3) возвращает 1, 1.5, 2.
```

См. также

```
logspace()
```


logspace()

Создает действительный вектор с логарифмически-протяженными элементами.

Синтаксис

```
y=logspace(xs,xe,n)
```

Аргументы

Name	Type	Def. Range	Required
xs	R	$] -\infty, +\infty[$	✓
xe	R	$] -\infty, +\infty[$	✓
n	N	$[2, +\infty[$	✓

Описание

Эта функция создает действительный вектор с n логарифмически-протяженными компонентами. Первый компонент – это xs, последний xe.

Пример

```
y=logspace(1,2,3) возвращает 1, 1.41, 2.
```

См. также

```
linspace()
```

Базовые матричные функции

adjoint()

Сопряженная матрица.

Синтаксис

$Y = \text{adjoint}(X)$

Аргументы

Name	Type	Def. Range	Required
X	$\mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	√

Описание

Эта функция вычисляет сопряженную матрицу Y к матрице X :

$Y = X^H = (X^*)^T$, где X^* - это комплексное сопряжение матрицы X, а X^T транспонированная матрица X.

Пример

$X = \text{eye}(2) * (3+i)$ возвращает

3+j1	0
0	3+j1

Затем

$Y = \text{adjoint}(X)$ возвращает

3-j1	0
0	3-j1

См. также

`transpose()`, `conj()`

array()

Выводит единичные элементы.

Синтаксис

Функция “array()” – это неявная команда. Таким образом, обычно используется соответствующее выражение (“preferred”).

Syntax	Preferred	Alternative	Preferred	Alternative
1	$y = VM[i,j]$	$y = \text{array}(VM,i,j)$		
2	$y = M[i,j]$	$y = \text{array}(M,i,j)$		
3	$y = VM[k]$	$y = \text{array}(VM,k)$		
4	$y = v[i]$	$y = \text{array}(v,i)$	$y = v[r]$	$y = \text{array}(v,r)$
5	$y = v[i,r]$	$y = \text{array}(v,i,r)$	$y = v[r,j]$	$y = \text{array}(v,r,j)$
	$y = v[i,j]$	$y = \text{array}(v,i,j)$	$y = v[r1,r2]$	$y = \text{array}(v,r1,r2)$
6	$y = s[i]$	$y = \text{array}(s,i)$		

Аргументы

Name	Type	Def. Range	Required
VM	$\mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$] -\infty, +\infty[$	$\sqrt{(\text{Syntax 1 and 3})}$
M	$\mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}$	$] -\infty, +\infty[$	$\sqrt{(\text{Syntax 2})}$
v	$\mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	$\sqrt{(\text{Syntax 4 and 5})}$
r, r1, r2	Range $xs : xe$	$0 \leq xs \leq n - 1, xs \leq xe \leq n - 1$	$\sqrt{(\text{Syntax 4 and 5})}$
i	\mathbb{N}	$0 \leq i \leq m - 1$	$\sqrt{(\text{Syntax 1, 2, 4, 5, 6})}$
j	\mathbb{N}	$0 \leq j \leq n - 1$	$\sqrt{(\text{Syntax 1, 2, 5})}$
k	\mathbb{N}	$0 \leq k \leq p - 1$	$\sqrt{(\text{Syntax 3})}$
s	String	Arbitrary characters	$\sqrt{(\text{Syntax 6})}$

Описание

Эта функция выводит действительный или комплексный вектор матриц, матрицы и векторы или строки. Пожалуйста, обратитесь к следующей таблице возвращаемых значений:

Syntax	Argument 1	Argument 2	Argument 3	Result
$y=VM[i,j]$	$VM = (x_{ijk})$	$i \in \mathbb{N}$	$j \in \mathbb{N}$	Vector $(x_{ij1}, \dots, x_{ijK})$
$y=M[i,j]$	$M = (x_{ij})$	$i \in \mathbb{N}$	$j \in \mathbb{N}$	Number x_{ij}
$y=VM[k]$	$VM = (x_{ijk})$	$k \in \mathbb{N}$		Matrix $\begin{pmatrix} x_{11k} & \dots & x_{1nk} \\ \vdots & \ddots & \vdots \\ x_{m1k} & \dots & x_{mnk} \end{pmatrix}$
$y=v[i]$	$v = (v_i)$	$i \in \mathbb{N}$		Number v_i
$y=v[xs:xe]$	$v = (v_i)$	xs, \dots, xe		Vector (v_{xs}, \dots, v_{xe})
$y=v[i,xs:xe]$	$v = (v_i)$	$i \in \mathbb{N}$	xs, \dots, xe	Vector (v_{xs}, \dots, v_{xe})
$y=v[xs:xe,j]$	$v = (v_i)$	xs, \dots, xe	xs, \dots, xe	Vector (v_{xs}, \dots, v_{xe})
$y=v[i,j]$	$v = (v_i)$	$i \in \mathbb{N}$	xs, \dots, xe	Vector (v_{xs}, \dots, v_{xe})
$y=v[xs1:xe1, xs2:xe2]$	$v = (v_i)$	$xs1, \dots, xe1$	$xs2, \dots, xe2$	Vector (v_{xs}, \dots, v_{xe})
$y=s[i]$	$s = (s_i)$	$i \in \mathbb{N}$		Character s_i

Вновь, v указывает на вектор, M матрицу, VM вектор матриц, s вектор символов, а xs , $xs1$, $xs2$, xe , $xe1$, $xe2$ диапазон ограничителей.

Пример

$v=\text{linspace}(1,2,4)$ возвращает 1, 1.33, 1.67, 2.

Затем

$y=v[3]$ возвращает 2.

См. также

det()

Определитель матрицы.

Синтаксис

$y = \det(X)$

Аргументы

Name	Type	Def. Range	Required
X	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет определитель квадратной $n \times n$ матрицы X. Результат либо действительное, либо комплексное число.

Пример

$X = \text{eye}(2) * 3$ возвращает

3	0
0	3

Затем

$y = \det(X)$ возвращает 9.

См. также

`eye()`

inverse()

Инверсия матрицы.

Синтаксис

`Y=inverse(X)`

Аргументы

Name	Type	Def. Range	Required
X	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	√

Описание

Функция инвертирует квадратную $n \times n$ матрицу X . Сгенерированная инверсная матрица Y выполняет уравнение

$X \cdot Y = X \cdot X^{-1} = I$, где “ \cdot ” обозначает матричное умножение, а “ I ” единичная матрица.

Матрица X должна быть регулярной, что означает, что ее определитель $\Delta \neq 0$.

Пример

`X=eye(2)*3` возвращает

3	0
0	3

Затем

`Y=inverse(X)` возвращает

0.333	0
0	0.333

См. также

`transpose()`, `eye()`, `det()`

transpose()

Транспозиция матрицы.

Синтаксис

`Y=transpose(X)`

Аргументы

Name	Type	Def. Range	Required
X	$\mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	✓

Описание

Эта функция транспонирует $m \times n$ матрицу X , которая эквивалентна матрице с замененными строками и столбцами согласно

$$Y = X^T = (x_{ij})^T = (x_{ji}) \text{ с } 1 \leq i \leq m, 1 \leq j \leq n$$

Сгенерированная матрица Y – это матрица $n \times m$.

Пример

`X=eye(2)*3` возвращает

3	0
0	3

затем

`Y=transpose(X)` возвращает

3	0
0	3

См. также

`eye()`, `inverse()`

13.4.2 Элементарные математические функции

Базовые действительные и комплексные функции

abs()

Абсолютное значение.

Синтаксис

$y = \text{abs}(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	\checkmark

Описание

Эта функция вычисляет абсолютное значение действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}: y = \begin{cases} x & \text{for } x \geq 0 \\ -x & \text{for } x < 0 \end{cases}$

Для $\mathbb{C} \ni x := a + ib \wedge a, b \in \mathbb{R}: y = \sqrt{a^2 + b^2}$

Для x как вектора или матрицы два уравнения выше применяются к компонентам x .

Примеры

$y = \text{abs}(-3)$ возвращает 3,
 $y = \text{abs}(-3+4*i)$ возвращает 5.

См. также

`mag()`, `norm()`, `real()`, `imag()`, `conj()`, `phase()`, `arg()`

angle()

Фазовый угол в радианах комплексного числа. Синоним “arg”.

Синтаксис

`y=angle(x)`

См. также

`abs()`, `mag()`, `norm()`, `real()`, `imag()`, `conj()`, `phase()`, `arg()`

arg()

Фазовый угол в радианах комплексного числа.

Синтаксис

`y=arg(x)`

Аргументы

Name	Type	Def. Range	Required
<code>x</code>	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$] -\infty, +\infty [$	\checkmark

Описание

Эта функция возвращает фазовый угол в градусах действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = \begin{cases} 0 & \text{for } x \geq 0 \\ \pi & \text{for } x < 0 \end{cases}$

Для $\mathbb{C} \ni x := a + i b \wedge a, b \in \mathbb{R}$:

Definition range	Result
$a > 0, b > 0$	$y = \arctan\left(\frac{b}{a}\right)$
$a < 0, b > 0$	$y = \arctan\left(\frac{b}{a}\right) + \pi$
$a < 0, b < 0$	$y = \arctan\left(\frac{b}{a}\right) - \pi$
$a > 0, b < 0$	$y = \arctan\left(\frac{b}{a}\right)$
$a = 0, b > 0$	$y = \frac{\pi}{2}$
$a > 0, b = 0$	$y = -\frac{\pi}{2}$
$a = 0, b = 0$	$y = 0$

В этом случае функция `arctan()` возвращает значение в радианах. Результат у фазовой функции находится в диапазоне $[-\pi, +\pi]$. Для x как вектора или матрицы два уравнения выше применяются к компонентам x .

Примеры

`y=arg(-3)` возвращает 3.14,
`y=arg(-3+4*i)` возвращает 2.21.

См. также

`abs()`, `mag()`, `norm()`, `real()`, `imag()`, `conj()`, `phase()`

conj()

Сопряжение комплексного числа.

Синтаксис

$y = \text{conj}(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает сопряжение действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = x$

Для $\mathbb{C} \ni x := a + ib \wedge a, b \in \mathbb{R}$: $y = a - ib$

Для x как вектора или матрицы два уравнения выше применяются к компонентам x.

Пример

$y = \text{conj}(-3+4*i)$ возвращает $-3-4*i$.

См. также

`abs()`, `mag()`, `norm()`, `real()`, `imag()`, `phase()`, `arg()`

deg2rad()

Конвертирует фазу из градусов в радианы.

Синтаксис

`y=deg2rad(x)`

Аргументы

Name	Type	Def. Range	Required
<code>x</code>	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty [$	✓

Описание

Эта функция конвертирует действительную фазу, комплексную фазу или фазу вектора, данные в градусах в радианы.

Для $x \in \mathbb{R}$: $y = \frac{\pi}{180} x$

Для $x \in \mathbb{C}$: $y = \frac{\pi}{180} \operatorname{Re}\{x\}$

Для `x` как вектора два уравнения выше применяются к компонентам `x`.

Пример

`y=deg2rad(45)` возвращает 0.785.

См. также

`rad2deg()`, `phase()`, `arg()`

imag()

Мнимое значение комплексного числа.

Синтаксис

`y=imag(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$] -\infty, +\infty [$	✓

Описание

Эта функция возвращает мнимое значение действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = 0$

Для $x \in \mathbb{C} \ni x := a + i b \wedge a, b \in \mathbb{R}$: $y = b$

Для x как вектора или матрицы два уравнения выше применяются к компонентам x.

Пример

`y=imag(-3+4*i)` возвращает 4.

См. также

`abs()`, `mag()`, `norm()`, `real()`, `conj()`, `phase()`, `arg()`

mag()

Модуль комплексного числа.

Синтаксис

`y=mag(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$] -\infty, +\infty[$	$\sqrt{\quad}$

Описание

Эта функция вычисляет модуль (абсолютное значение) действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = \begin{cases} x & \text{for } x \geq 0 \\ -x & \text{for } x < 0 \end{cases}$

Для $\mathbb{C} \ni x := a + i b \wedge a, b \in \mathbb{R}$: $y = \sqrt{a^2 + b^2}$

Для x как вектора или матрицы два уравнения выше применяются к компонентам x.

Примеры

`y=mag(-3)` возвращает 3,
`y=mag(-3+4*i)` возвращает 5.

См. также

`abs()`, `norm()`, `real()`, `imag()`, `conj()`, `phase()`, `arg()`

norm()

Квадрат абсолют ного значения вектора.

Синтаксис

`y=norm(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает квадрат абсолютного значения действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = x^2$

Для $\mathbb{C} \ni x := a + i b \wedge a, b \in \mathbb{R}$: $y = a^2 + b^2$

Для x как вектора или матрицы два уравнения выше применяются к компонентам x.

Пример

`y=norm(-3+4*i)` возвращает 25.

См. также

`abs()`, `mag()`, `real()`, `imag()`, `conj()`, `phase()`, `arg()`

phase()

Фазовый угол комплексного числа в градусах.

Синтаксис

`y=phase(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает фазовый угол в градусах действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = \begin{cases} 0 & \text{for } x \geq 0 \\ 180 & \text{for } x < 0 \end{cases}$

Для $\mathbb{C} \ni x := a + ib \wedge a, b \in \mathbb{R}$:

Definition range	Result
$a > 0, b > 0$	$y = \arctan\left(\frac{b}{a}\right)$
$a < 0, b > 0$	$y = \arctan\left(\frac{b}{a}\right) + 180$
$a < 0, b < 0$	$y = \arctan\left(\frac{b}{a}\right) - 180$
$a > 0, b < 0$	$y = \arctan\left(\frac{b}{a}\right)$
$a = 0, b > 0$	$y = 90$
$a > 0, b = 0$	$y = -90$
$a = 0, b = 0$	$y = 0$

В этом случае функция `arctan()` возвращает значения в градусах. Результат функции `phase` находится в диапазоне $[-180, +180]$. Для `x` как вектора или матрицы два уравнения выше применяются к компонентам `x`.

Примеры

`y=phase(-3)` возвращает 180,

`y=phase(-3+4*i)` возвращает 127.

См. также

`abs()`, `mag()`, `norm()`, `real()`, `imag()`, `conj()`, `arg()`

polar()

Преобразовывает из полярных координат в комплексное число.

Синтаксис

```
c=polar(a,p)
```

Аргументы

Name	Type	Def. Range	Required
a	$\mathbb{R}^n, \mathbb{C}^n$	$] - \infty, + \infty [$	✓
p	$\mathbb{R}^n, \mathbb{C}^n$	$] - \infty, + \infty [$	✓

Описание

Эта функция преобразует точку, заданную в полярных координатах (амплитуда и фаза p в градусах) в комплексный вид соответствующего комплексного числа:

$$x + iy = ae^{ip} = a \cos p + ia \sin p$$

Для a или p как векторов уравнение выше применяется к компонентам a или p.

Пример

```
c=polar(3,45) возвращает 2.12+j2.12.
```

См. также

```
abs(), mag(), norm(), real(), imag(), conj(), phase(), arg(), exp(), cos(),  
sin()
```

rad2deg()

Конвертирует фазу из градусов в радианы.

Синтаксис

`y=rad2deg(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция преобразует действительную фазу, комплексную фазу или векторную фазу, данные в радианах, в градусы.

Для $x \in \mathbb{R}$: $y = \frac{180}{\pi} x$

Для $x \in \mathbb{C}$: $y = \frac{180}{\pi} \text{Re}\{x\}$

Для x как вектора два уравнения выше применяются к компонентам x.

Пример

`y=deg2rad(0.785)` возвращает 45.

См. также

`deg2rad()`, `phase()`, `arg()`

real()

Действительное значение комплексного числа.

Синтаксис

`y=real(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n}, \mathbb{C}^{m \times n}, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает действительное значение действительного или комплексного числа, вектора или матрицы.

Для $x \in \mathbb{R}$: $y = x$

Для $\mathbb{C} \ni x := a + i b \wedge a, b \in \mathbb{R}$: $y = a$

Для x как вектор или матрицы два уравнения выше применяются к компонентам x.

Пример

`y=real(-3+4*i)` возвращает -3.

См. также

`abs()`, `mag()`, `norm()`, `imag()`, `conj()`, `phase()`, `arg()`

signum()

Сигнум-функция.

Синтаксис

`y=signum(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет действительного или комплексного числа или вектора.

$$\text{Для } x \in \mathbb{R}: y = \begin{cases} 1 & \text{for } x > 0 \\ 0 & \text{for } x = 0 \\ -1 & \text{for } x < 0 \end{cases}$$

$$\text{Для } x \in \mathbb{C}: y = \begin{cases} \frac{x}{|x|} & \text{for } x \neq 0 \\ 0 & \text{for } x = 0 \end{cases}$$

Для x как вектора два уравнения выше применяются к компонентам x .

Примеры

`y=signum(-4)` возвращает `-1`,
`y=signum(3+4*i)` возвращает `0.6+j0.8`.

См. также

`abs()`, `sign()`

sign()

Знаковая функция.

Синтаксис

`y=sign(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty [$	✓

Описание

Эта функция вычисляет знак действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \begin{cases} 1 & \text{for } x \geq 0 \\ -1 & \text{for } x < 0 \end{cases}$

Для $x \in \mathbb{C}$: $y = \begin{cases} \frac{x}{|x|} & \text{for } x \neq 0 \\ 1 & \text{for } x = 0 \end{cases}$

Для x как вектор два уравнения выше применяются к компонентам x.

Примеры

`y=sign(-4)` возвращает `-1`,
`y=sign(3+4*i)` возвращает `0.6+j0.8`.

См. также

`abs()`, `signum()`

sqr()

Квадрат числа.

Синтаксис

`y=sqr(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет квадрат действительного или мнимого числа или вектора.

$$y = x^2$$

Для x как вектора уравнение выше применяется к компонентам x .

Примеры

`y=sqr(-4)` возвращает 16,
`y=sqr(3+4*i)` возвращает $-7+j24$.

См. также

`sqrt()`

sqrt()

Квадратный корень.

Синтаксис

`y=sqrt(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	$\sqrt{\quad}$

Описание

Эта функция вычисляет квадратный корень действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \begin{cases} \sqrt{x} & \text{for } x \geq 0 \\ i\sqrt{-x} & \text{for } x < 0 \end{cases}$

Для $x \in \mathbb{C}$: $y = \sqrt{|x|} e^{i\frac{\varphi}{2}}$ with $\varphi = \arg(x)$

Для x как вектора два уравнения выше применяются к компонентам x .

Примеры

`y=sqrt(-4)` возвращает `0+j2`,
`y=sqrt(3+4*i)` возвращает `2+j1`.

См. также

`sqr()`

unwrap()

Разворачивает фазу вектора в радианах.

Синтаксис

```
y=unwrap(x)  
y=unwrap(x, t)
```

Аргументы

Name	Type	Def. Range	Required	Default
x	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√	
t	\mathbb{R}	$]-\infty, +\infty[$		π

Описание

Эта функция разворачивает фазу вектора x во избежание фазового скачка, если два последовательных значения x, отличающихся более, чем допустимым t, $\pm 2\pi$ (в зависимости от знака разницы) добавляются к текущему элементу x.

Предопределенное значение дополнительного параметра t – π .

Примеры

```
y=unwrap(3.15*linspace(-2,2,5)) возвращает -6.3, -9.43, -12.6, -15.7, -18.8,  
y=unwrap(2*linspace(-2,2,5),1) возвращает -4, -8.28, -12.6, -16.8, -21.1,  
y=unwrap(2*linspace(-2,2,5),3) возвращает -4, -2, 0, 2, 4.
```

См. также

```
abs(), mag(), norm(), real(), imag(), conj(), phase(), arg()
```


Экспоненциальная и логарифмические функции

exp()

Экспоненциальная функция.

Синтаксис

$y = \exp(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет экспоненциальную функцию действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = e^x$

Для $\mathbb{C} \ni x := a + ib \wedge a, b \in \mathbb{R}$: $y = e^x = e^{a+ib} = e^a (\cos b + i \sin b)$

Для x как вектор два уравнения выше применяются к компонентам x.

Примеры

$y = \exp(-4)$ возвращает 0.0183,

$y = \exp(3+4*i)$ возвращает -13.1-j15.2.

См. также

`ln()`, `log10()`, `log2()`, `cos()`, `sin()`

log10()

Десятичный логарифм.

Синтаксис

$y = \log_{10}(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{0\}$	✓

Описание

Эта функция вычисляет основное значение десятичного логарифма (по основанию 10) действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \begin{cases} \frac{\ln(x)}{\ln(10)} & \text{for } x > 0 \\ \frac{\ln(-x)}{\ln(10)} + i \frac{\pi}{\ln(10)} & \text{for } x < 0 \end{cases}$

Для $x \in \mathbb{C}$: $y = \frac{\ln(|x|)}{\ln(10)} + i \frac{\arg(x)}{\ln(10)}$

Для x как вектор два уравнения выше применяются к компонентам x.

Примеры

$y = \log_{10}(-4)$ возвращает $0.602 + j1.36$,
 $y = \log_{10}(3 + 4 \cdot i)$ возвращает $0.699 + j0.403$.

См. также

`ln()`, `log2()`, `exp()`, `arg()`

log2()

Двоичный логарифм.

Синтаксис

`y=log2(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{0\}$	✓

Описание

Эта функция вычисляет основное значение двоичного логарифма (основание 2) действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \begin{cases} \frac{\ln(x)}{\ln(2)} & \text{for } x > 0 \\ \frac{\ln(-x)}{\ln(2)} + i \frac{\pi}{\ln(2)} & \text{for } x < 0 \end{cases}$

Для $x \in \mathbb{C}$: $y = \frac{\ln(|x|)}{\ln(2)} + i \frac{\arg(x)}{\ln(2)}$

Для x как вектора два уравнения выше применяются к компонентам x.

Примеры

`y=log2(-4)` возвращает `2+j4.53`,

`y=log2(3+4*i)` возвращает `2.32+j1.34`.

См. также

`ln()`, `log10()`, `exp()`, `arg()`

ln()

Натуральный логарифм (основание e).

Синтаксис

`y=ln(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{0\}$	✓

Описание

Эта функция вычисляет основное значение натурального логарифма (основание e) действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \begin{cases} \ln(x) & \text{for } x > 0 \\ \ln(-x) & \text{for } x < 0 \end{cases}$

Для $x \in \mathbb{C}$: $y = \ln(|x|) + i \operatorname{arg}(x)$

Для x как вектор два уравнения выше применяются к компонентам x.

Примеры

`y=ln(-4)` возвращает `1.39+j3.14`,
`y=ln(3+4*i)` возвращает `1.61+j0.927`.

См. также

`log2()`, `log10()`, `exp()`, `arg()`

Тригонометрия

`cos()`

Функция косинуса.

Синтаксис

`y=cos(x)`

Аргументы

Name	Type	Def. Range	Required
<code>x</code>	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет косинус действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \cos(x)$ with $y \in [-1, 1]$

Для $x \in \mathbb{C}$: $y = \frac{1}{2} (\exp(ix) + \exp(-ix))$

Для x как вектор два уравнения выше применяются к компонентам x .

Примеры

`y=cos(-0.5)` возвращает 0.878,
`y=cos(3+4*i)` возвращает -27.0-j3.85.

См. также

`sin()`, `tan()`, `arccos()`

cosec()

Косеканс.

Синтаксис

`y=cosec(x)`

Аргументы

Name	Type	Def. Range	Required
<code>x</code>	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{k\pi\}, k \in \mathbb{Z}$	✓

Описание

Эта функция вычисляет косеканс действительного или комплексного числа или вектора.

$$y = \operatorname{cosec} x = \frac{1}{\sin x}$$

Для `x` как вектор уравнение выше применяется к компонентам `x`.

Пример

`y=cosec(1)` возвращает 1.19.

См. также

`sin()`, `sec()`

cot()

Функция котангенса.

Синтаксис

`y=cot(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{k\pi\}, k \in \mathbb{Z}$	✓

Описание

Эта функция вычисляет котангенс действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \frac{1}{\tan(x)}$ with $y \in [-\infty, +\infty]$

Для $x \in \mathbb{C}$: $y = i \left(\frac{\exp(ix)^2 + 1}{\exp(ix)^2 - 1} \right)$

Для x как вектор два уравнения выше применяются к компонентам x.

Примеры

`y=cot(-0.5)` возвращает -1.83,
`y=cot(3+4*i)` возвращает -0.000188-j1.

См. также

`tan()`, `sin()`, `cos()`, `arctan()`, `arccot()`

sec()

Секанс.

Синтаксис

$y = \sec(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbf{R}, \mathbf{C}, \mathbf{R}^n, \mathbf{C}^n$	$] -\infty, +\infty [\setminus \{ (k + \frac{1}{2}) \pi \}, k \in \mathbf{Z}$	✓

Описание

Эта функция вычисляет секанс действительного или комплексного числа или вектора.

$$y = \sec x = \frac{1}{\cos x}$$

Для x как вектор уравнение выше применяется к компонентам x .

Пример

$y = \sec(0)$ возвращает 1.

См. также

`cos()`, `cosec()`

sin()

Функция синуса.

Синтаксис

`y=sin(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет синус действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \sin(x)$ with $y \in [-1, 1]$

Для $x \in \mathbb{C}$: $y = \frac{1}{2}i (\exp(-ix) - \exp(ix))$

Для x как вектора два уравнения выше применяются к компонентам x .

Примеры

`y=sin(-0.5)` возвращает `-0.479`,
`y=sin(3+4*i)` возвращает `3.85-j27`.

См. также

`cos()`, `tan()`, `arcsin()`

tan()

Функция тангенса.

Синтаксис

`y=tan(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{ (k + \frac{1}{2}) \pi \}, k \in \mathbb{Z}$	✓

Описание

Эта функция вычисляет тангенс действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \tan(x)$ with $y \in]-\infty, +\infty[$

Для $x \in \mathbb{C}$: $y = -i \left(\frac{\exp(ix)^2 - 1}{\exp(ix)^2 + 1} \right)$

Для x как вектора два уравнения выше применяются к компонентам x.

Примеры

`y=tan(-0.5)` возвращает -0.546,

`y=tan(3+4*i)` возвращает -0.000187+j0.999.

См. также

`cot()`, `sin()`, `cos()`, `arctan()`, `arccot()`

Обратные тригонометрические функции

arccos()

Арккосинус (известный также как “обратный косинус”).

Синтаксис

`y=arccos(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$[-1, +1]$	✓

Описание

Эта функция вычисляет основное значение арккосинуса действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \arccos(x)$ with $y \in [0, \pi]$

Для $x \in \mathbb{C}$: $y = -i \ln(x + \sqrt{x^2 - 1})$

Для x как вектора два уравнения выше применяются к компонентам x.

Примеры

`y=arccos(-1)` возвращает 3.14,
`y=arccos(3+4*i)` возвращает 0.937-j2.31.

См. также

`cos()`, `arcsin()`, `arctan()`, `arccot()`

arccot()

Арккотангенс.

Синтаксис

`y=arccot(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет основное значение арккотангенса действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \text{arccot}(x)$ with $y \in [0, \pi]$

Для $x \in \mathbb{C}$: $y = \frac{i}{2} \ln \left(\frac{x - i}{x + i} \right)$

Для x как вектора два уравнения выше применяются к компонентам x.

Примеры

`y=arccot(-1)` возвращает 2.36,

`y=arccot(3+4*i)` возвращает 0.122-j0.159.

См. также

`cot()`, `tan()`, `arccos()`, `arcsin()`, `arctan()`

arcsin()

Арксинус (также известный как “обратный синус”).

Синтаксис

`y=arcsin(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$[-1, +1]$	✓

Описание

Эта функция вычисляет основное значение арксинуса действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \arcsin(x)$ with $y \in \left[-\frac{\pi}{2}, \frac{\pi}{2}\right]$

Для $x \in \mathbb{C}$: $y = -i \ln \left[i x + \sqrt{1 - x^2} \right]$

Для x как вектора два уравнения выше применяются к компонентам x.

Примеры

`y=arcsin(-1)` возвращает `-1.57`,
`y=arcsin(3+4*i)` возвращает `0.634+j2.31`.

См. также

`sin()`, `arccos()`, `arctan()`, `arccot()`

arctan()

Арктангенс (также известный как “обратный тангенс”).

Синтаксис

$z = \arctan(x)$

$z = \arctan(y, x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√
y	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	

Описание

Для первого синтаксиса ($z = \arctan(x)$), эта функция вычисляет основное значение арктангенса действительного или комплексного числа или вектора.

Для $x \in \mathbb{R}$: $y = \arctan(x)$ with $y \in [-\frac{\pi}{2}, \frac{\pi}{2}]$

Для $x \in \mathbb{C}$: $y = -\frac{1}{2}i \ln \left[\frac{2i}{x+i} - 1 \right]$

Для x как вектор два уравнения выше применяются к компонентам x .

Если второй синтаксис ($z = \arctan(y, x)$) встречается в приложении, выражение

$z = \pm \arctan(y/x)$

(с функцией $\arctan()$, определенной выше) вычисляется. Знак z определяется из

$$\text{sign}(z) = \begin{cases} + & \text{for } \text{Re}\{x\} > 0 \\ - & \text{for } \text{Re}\{x\} < 0 \end{cases}$$

Заметьте, что второй синтаксис в случае $x = y = 0$ не определен.

Примеры

`z=arctan(-1)` возвращает `-0.785`,
`z=arctan(3+4*i)` возвращает `1.45+j0.159`,
`z=arctan(1,1)` возвращает `0.785`.

См. также

`tan()`, `arccos()`, `arcsin()`, `arccot()`

Гиперболические функции

cosh()

Гиперболический косинус.

Синтаксис

$y = \cosh(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет гиперболический косинус действительного или комплексного числа или вектора.

$$y = \frac{1}{2} (e^x + e^{-x})$$

Для x как вектор уравнение выше применяется к компонентам x .

Примеры

$y = \cosh(-1)$ возвращает 1.54,
 $y = \cosh(3+4*i)$ возвращает $-6.58-j7.58$.

См. также

`exp()`, `sinh()`, `tanh()`, `cos()`

cosech()

Гиперболический косеканс.

Синтаксис

`y=cosech(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus\{0\}$	√

Описание

Эта функция вычисляет гиперболический косеканс действительного или комплексного числа или вектора.

$$y = \frac{1}{\sinh x}$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=cosech(-1)` возвращает -0.851,
`y=cosech(3+4*i)` возвращает -0.0649+j0.0755.

См. также

`exp()`, `sinh()`, `sech()`, `cosec()`

coth()

Гиперболический котангенс.

Синтаксис

`y=coth(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[\setminus \{0\}$	✓

Описание

Эта функция вычисляет гиперболический котангенс действительного или комплексного числа или вектора.

$$y = \frac{1}{\tanh x} = \frac{e^x + e^{-x}}{e^x - e^{-x}}$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=coth(-1)` возвращает `-1.31`,
`y=coth(3+4*i)` возвращает `0.999-j0.0049`.

См. также

`exp()`, `cosh()`, `sinh()`, `tanh()`, `tan()`

sech()

Гиперболический секанс.

Синтаксис

`y=sech(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет гиперболический секанс действительного или комплексного числа или вектора.

$$y = \frac{1}{\cosh x}$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=sech(-1)` возвращает 0.648,

`y=sech(3+4*i)` возвращает -0.0653+j0.0752.

См. также

`exp()`, `cosh()`, `cosech()`, `sec()`

sinh()

Гиперболический синус.

Синтаксис

`y=sinh(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет гиперболический синус действительного или комплексного числа или вектора.

$$y = \frac{1}{2} (e^x - e^{-x})$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=sinh(-1)` возвращает -1.18,

`y=sinh(3+4*i)` возвращает -6.55-j7.62.

См. также

`exp()`, `cosh()`, `tanh()`, `sin()`

tanh()

Гиперболический тангенс.

Синтаксис

`y=tanh(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√

Описание

Эта функция вычисляет гиперболический тангенс действительного или комплексного числа или вектора.

$$y = \frac{e^x - e^{-x}}{e^x + e^{-x}}$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=tanh(-1)` возвращает `-0.762`,
`y=tanh(3+4*i)` возвращает `1+j0.00491`.

См. также

`exp()`, `cosh()`, `sinh()`, `coth()`, `tan()`

Обратные гиперболические функции

arcosh()

Гиперболический арха-косинус.

Синтаксис

`y=arcosh(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$[1, +\infty[$	✓

Описание

Эта функция вычисляет гиперболический арха-косинус действительного или комплексного числа или вектора, функция обратна функции “cosh”.

$$y = \operatorname{arcosh} x = \ln (x + \sqrt{x^2 - 1})$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=arcosh(1)` возвращает 0,

`y=arcosh(3+4*i)` возвращает 2.31+j0.937.

См. также

`arsinh()`, `artanh()`, `cosh()`, `arccos()`, `ln()`, `sqrt()`

arcoth()

Гиперболический арка-котангенс.

Синтаксис

`y=arcoth(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, -1[\cup]1, +\infty[$	√

Описание

Эта функция вычисляет гиперболический арка-котангенс действительного или комплексного числа или вектора, функция обратна “cotanh”.

$$y = \operatorname{arcoth} x = \frac{1}{2} \ln \left(\frac{x+1}{x-1} \right)$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=arcoth(2)` возвращает 0.549,

`y=arcoth(3+4*i)` возвращает 0.118-j0.161.

См. также

`arsinh()`, `arcosh()`, `tanh()`, `arctan()`, `ln()`, `sqrt()`

arsinh()

Гиперболический арка-синус.

Синтаксис

`y=arsinh(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbf{R, C, R^n, C^n}$	$]-\infty, +\infty[$	✓

Описание

Эта функция вычисляет гиперболический арка-синус действительного или комплексного числа или вектора, функция обратна “sinh”.

$$y = \operatorname{arsinh} x = \ln(x + \sqrt{x^2 + 1})$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=arsinh(1)` возвращает 0.881,
`y=arsinh(3+4*i)` возвращает 2.3+j0.918.

См. также

`arcosh()`, `artanh()`, `sinh()`, `arcsin()`, `ln()`, `sqrt()`

artanh()

Гиперболический арка-тангенс.

Синтаксис

`y=artanh(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -1, +1[$	✓

Описание

Эта функция вычисляет гиперболический арка-тангенс действительного или комплексного числа или вектора, функция обратна “tanh”.

$$y = \operatorname{artanh} x = \frac{1}{2} \ln \left(\frac{1+x}{1-x} \right)$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=artanh(0)` возвращает 0,
`y=artanh(3+4*i)` возвращает 0.118+j1.41.

См. также

`arsinh()`, `arcosh()`, `tanh()`, `arctan()`, `ln()`, `sqrt()`

Округление

ceil()

Округлене до следующего большего целого.

Синтаксис

`y=ceil(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Функция округляет действительное число x до следующего большего целого значения.

Если x – комплексное число, обе, действительная и мнимая части округляются. Для x как вектор операция выше применяется к компонентам x .

Примеры

`y=ceil(-3.5)` возвращает `-3`,
`y=ceil(3.2+4.7*i)` возвращает `4+j5`.

См. также

`floor()`, `fix()`, `round()`

fix()

Округляет целую часть действительного числа.

Синтаксис

`y=fix(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Функция отсекает десятичную часть действительного числа x и возвращает целое.

Если x – комплексное число, обе действительная и мнимая части округляются. Для x как вектор операция выше применяется к компонентам x .

Примеры

`y=fix(-3.5)` возвращает `-3`,
`y=fix(3.2+4.7*i)` возвращает `3+j4`.

См. также

`ceil()`, `floor()`, `round()`

floor()

Округляет до следующего меньшего целого.

Синтаксис

`y=floor(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция округляет действительное число x до следующего меньшего целого значения.

Если x – комплексное число, обе действительная и мнимая части округляются. Для x как вектор операция выше применяется к компонентам x .

Примеры

`y=floor(-3.5)` возвращает `-4`,
`y=floor(3.2+4.7*i)` возвращает `3+j4`.

См. также

`ceil()`, `fix()`, `round()`

round()

Округление до ближайшего целого.

Синтаксис

`y=round(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция округляет действительное число x до ближайшего к нему целого значения.

Если x – комплексное число, обе действительная и мнимая части округляются. Для x как вектор операция выше применяется к компонентам x .

Примеры

`y=round(-3.5)` возвращает `-4`,
`y=round(3.2+4.7*i)` возвращает `3+j5`.

См. также

`ceil()`, `floor()`, `fix()`

Специальные математические функции

besseli0()

Модифицированная функция Бесселя нулевого порядка.

Синтаксис

`i0=besseli0(x)`

Аргументы

Name	Type	Def. Range	Required
<code>x</code>	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	✓

Описание

Эта функция вычисляет модифицированную функцию Бесселя нулевого порядка действительного или комплексного числа или вектора.

$$i_0(x) = J_0(ix) = \sum_{k=0}^{\infty} \frac{\left(\frac{x}{2}\right)^{2k}}{k! \Gamma(k+1)},$$

где $J_0(x)$ – это функция Бесселя нулевого порядка, а $\Gamma(x)$ обозначает гамма-функцию.

Для x как вектор уравнение выше применяется к компонентам x .

Пример

`y=besseli0(1)` возвращает 1.266.

См. также

`besselj()`, `bessely()`

besselj()

Функция Бесселя n-го порядка.

Синтаксис

`jn=besselj(n,x)`

Аргументы

Name	Type	Def. Range	Required
n	N	$[0, +\infty[$	✓
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	✓

Описание

Эта функция вычисляет функцию Бесселя n-го порядка действительного или комплексного числа или вектора.

$$J_n(x) = \sum_{k=0}^{\infty} \frac{(-1)^k \left(\frac{x}{2}\right)^{n+2k}}{k! \Gamma(n+k+1)},$$

где $\Gamma(x)$ означает гамма-функцию.

Для x как вектор уравнение выше применяется к компонентам x.

Пример

`y=besselj(1,1)` возвращает 0,44.

См. также

`besseli0()`, `bessely()`

bessely()

Функция Бесселя второго рода n-го порядка.

Синтаксис

`yn=bessely(n,x)`

Аргументы

Name	Type	Def. Range	Required
n	N	$[0, +\infty[$	✓
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	✓

Описание

Эта функция вычисляет функцию Бесселя второго рода n-го порядка действительного или комплексного числа или вектора.

$$Y_n(x) = \lim_{m \rightarrow n} \frac{J_m(x) \cos m\pi - J_{-m}(x)}{\sin m\pi},$$

где $J_m(x)$ означает функцию Бесселя первого рода n-го порядка.

Для x как вектор уравнение выше применяется к компонентам x.

Пример

`y=bessely(1,1)` возвращает -0.781.

См. также

`besseli0()`, `besselj()`

erf()

Функция ошибки.

Синтаксис

`y=erf(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция осуществляет функцию ошибки для действительного или комплексного числа или вектора. Для

$$x \in \mathbb{R},$$

$$y = \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt$$

Если x – комплексное число, обе, действительная и мнимая части становятся субъектом уравнения выше. Для x как вектор уравнение выше применяется к компонентам x .

Пример

`y=erf(0.5)` возвращает 0.520.

См. также

`erfc()`, `erfcinv()`, `erfcinv()`, `exp()`

erfc()

Функция комплементарной ошибки.

Синтаксис

`y=erfc(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty [$	✓

Описание

Эта функция вычисляет ошибку комплементарной функции действительного или комплексного числа или вектора. Для $x \in \mathbb{R}$,

$$y = 1 - \frac{2}{\sqrt{\pi}} \int_0^x e^{-t^2} dt$$

Если x – комплексное число, обе, действительная и мнимая, части становятся субъектом уравнения выше. Для x как вектор уравнение выше применяется к компонентам x .

Пример

`y=erfc(0.5)` возвращает 0.480.

См. также

`erf()`, `erfinv()`, `erfcinv()`, `exp()`

erfinv()

Ошибка инверсной функции.

Синтаксис

`y=erfinv(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -1, +1[$	✓

Описание

Эта функция осуществляет функцию ошибки инверсии для действительного или комплексного числа или вектора. Для $-1 < x < 1$,

$$y = \operatorname{erf}^{-1}(x)$$

Если x – комплексное число, обе, действительная и мнимая, части становятся субъектом уравнения выше.

Для x как вектора уравнение выше применяется к компонентам x .

Пример

`y=erfinv(0.8)` возвращает 0.906.

См. также

`erf()`, `erfc()`, `erfcinv()`, `exp()`

erfcinv()

Ошибка инверсной комплементарной функции.

Синтаксис

`y=erfcinv(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]0, +2[$	✓

Описание

Эта функция осуществляет функцию ошибки комплементарной инверсии действительного или комплексного числа или вектора. Для $0 < x < 2$,

$$y = \operatorname{erfc}^{-1}(x)$$

Если x – это комплексное число, обе, действительная и мнимая, части становятся субъектом уравнения выше.

Для x как вектор уравнение выше применяется к компонентам x .

Пример

`y=erfcinv(0.5)` возвращает 0.477.

См. также

`erf()`, `erfc()`, `erfinv()`, `exp()`

sinc()

Функция Sinc.

Синтаксис

`y=sinc(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция осуществляет sinc действительного или комплексного числа или вектора.

$$y = \begin{cases} \frac{\sin x}{x} & \text{for } x \neq 0 \\ 1 & \text{for } x = 0 \end{cases}$$

Для x как вектор уравнение выше применяется к компонентам x.

Примеры

`y=sinc(-3)` возвращает 0.047,

`y=sinc(3+4*i)` возвращает -3.86-j3.86.

См. также

`sin()`

step()

Функция Step.

Синтаксис

`y=step(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty [$	✓

Описание

Эта функция вычисляет функцию step для действительного или комплексного числа или вектора. Для $x \in \mathbb{R}$,

$$y = \begin{cases} 0 & \text{for } x < 0 \\ 0.5 & \text{for } x = 0 \\ 1 & \text{for } x > 0 \end{cases}$$

Если x – комплексное число, обе, действительная и мнимая, части становятся субъектом уравнения выше.

Для x как вектор уравнение выше применяется к компонентам x .

Пример

`y=step(0.5)` возвращает 1.

См. также

13.4.3 Анализ данных

Базовая статистика

avg()

Среднее элементов вектора.

Синтаксис

`y=avg(x)`

Аргументы

Name	Type	Def. Range	Required
x	\mathbb{R} , \mathbb{C} , \mathbb{R}^n , \mathbb{C}^n , Range $xs:xe$	$]-\infty, +\infty[$	\checkmark

Описание

Эта функция возвращает сумму элементов действительного или комплексного вектора или области.

Для $x \in \mathbb{C}^n$: $y = \frac{1}{n} \sum_{i=1}^n x_i$, $1 \leq i \leq n$ (for vectors) or $xs \leq i \leq xe$ (for ranges)

Для x действительного или комплексного числа возвращается сам x .

Пример

`y=avg(linspace(1,3,10))` возвращает 2.

См. также

`sum()`, `max()`, `min()`

cumavg()

Кумулятивное среднее векторных элементов.

Синтаксис

`y=cumavg(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√

Описание

Эта функция возвращает кумулятивное среднее элементов действительного или комплексного вектора.

Для $x \in \mathbb{C}^n$: $y_k = \frac{1}{k} \sum_{i=1}^k x_i, 1 \leq k \leq n$

Для x действительного или комплексного числа возвращается сам x.

Пример

`y=cumavg(linspace(1,3,3))` возвращает 1, 1.5, 2.

См. также

`cumsum()`, `cumprod()`, `avg()`, `sum()`, `prod()`, `max()`, `min()`

max()

Максимальное значение.

Синтаксис

$y = \max(x)$
 $y = \max(a, b)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \text{Range } xs : xe$	$] -\infty, +\infty[$	✓
a	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty[$	✓
b	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty[$	✓

Описание

Для первого синтаксиса ($y = \max(x)$), эта функция возвращает максимальное значение действительного или комплексного числа или области.

For $x \in \mathbb{R}^n$: $y = \max(x_i), 1 \leq i \leq n$ (for vectors) or $xs \leq i \leq xe$ (for ranges)

For $x \in \mathbb{C}^n$: $y = \max(\pm |x_i|), 1 \leq i \leq n$ (for vectors) or $xs \leq i \leq xe$ (for ranges),

with $\text{sign} \begin{cases} + & \text{for } |\arg(x_i)| \leq \frac{\pi}{2} \\ - & \text{else} \end{cases}$

Для x действительного или комплексного числа – это случай 1.

Второй синтаксис ($y = \max(a, b)$) применяется, если два (обычно комплексные) числа a и b нуждаются в сравнении. В принципе, выбирается максимум абсолютного значения, но должно быть рассмотрено не находятся ли a и b в правой или левой половине комплексной области. Если последнее имеет место, отрицательное абсолютное значение a и b нуждаются во внимании (например, который относится к случаю отрицательного действительного числа), иначе берется положительное абсолютное значение:

$y = \max(\pm |a|, \pm |b|),$

with $|a| \text{ sign} \begin{cases} + & \text{for } |\arg(a)| \leq \frac{\pi}{2} \\ - & \text{else} \end{cases}$ and $|b| \text{ sign} \begin{cases} + & \text{for } |\arg(b)| \leq \frac{\pi}{2} \\ - & \text{else} \end{cases}$

Пример

`y=max(linspace(1,3,10))` возвращает 3.
`y=max(1,3)` возвращает 3.
`y=max(1,1+i)` возвращает $1+j1$.
`y=max(1,-1+i)` возвращает 1.

См. также

`min()`, `abs()`

min()

Minimum value.

Синтаксис

$y = \min(x)$
 $y = \min(a, b)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n, \text{Range } xs : xe$	$] -\infty, +\infty [$	✓
a	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty [$	✓
b	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty [$	✓

Описание

Для первого синтаксиса ($y = \min(x)$) эта функция возвращает минимальное значение действительного или комплексного числа или области.

For $x \in \mathbb{R}^n$: $y = \min(x_i), 1 \leq i \leq n$ (for vectors) or $xs \leq i \leq xe$ (for ranges)

For $x \in \mathbb{C}^n$: $y = \min(\pm |x_i|), 1 \leq i \leq n$ (for vectors) or $xs \leq i \leq xe$ (for ranges),

with sign $\begin{cases} + & \text{for } |\arg(x_i)| \leq \frac{\pi}{2} \\ - & \text{else} \end{cases}$

Для x действительного или комплексного числа – это случай 1.

Второй синтаксис ($y = \min(a, b)$) находит применение, если два (обычно комплексных) числа a и b нуждаются в сравнении. В принципе, выбирается максимум абсолютных значений, но должно обращать внимание, будут ли a и b расположены в правой или левой половине комплексной области. Если последнее имеет место, отрицательное абсолютное значение a и b нуждаются во внимании (например, который относится к случаю отрицательного действительного числа), иначе берется положительное абсолютное значение:

$y = \max(\pm |a|, \pm |b|),$

with $|a| \text{ sign } \begin{cases} + & \text{for } |\arg(a)| \leq \frac{\pi}{2} \\ - & \text{else} \end{cases}$ and $|b| \text{ sign } \begin{cases} + & \text{for } |\arg(b)| \leq \frac{\pi}{2} \\ - & \text{else} \end{cases}$

Примеры

`y=min(linspace(1,3,10))` возвращает 1.
`y=min(1,3)` возвращает 1.
`y=min(1,1+i)` возвращает 1.
`y=min(1,-1+i)` возвращает $-1+j1$.

См. также

`max()`, `abs()`

rms()

Корень из квадрата среднего векторных элементов.

Синтаксис

`y=rms(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√

Описание

Эта функция возвращает rms (корень квадратный из среднего) значение элементов действительного или комплексного вектора. Применение трапецеидального интегрального правила

Для $x \in \mathbb{C}^n$: $y = \sqrt{\frac{1}{n} \sum_{i=1}^n a_i x_i x_i^*}$, $1 \leq i \leq n$, $a_i = \begin{cases} 1 & \text{for } 2 \leq i \leq n-1 \\ \frac{1}{2} & \text{for } i = 1 \text{ or } i = n \end{cases}$

Для x действительного или комплексного числа, возвращается сам |x|.

Пример

`y=rms(linspace(1,2,8))` возвращает 1.43.

См. также

`variance()`, `stddev()`, `avg()`

runavg()

Теущее среднее векторных элементов.

Синтаксис

`y=runavg(x,m)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓
m	N	$[1, +\infty[$	✓

Описание

Эта функция возвращает скользящее среднее m элементов действительного или комплексного вектора.

Для

$$x \in \mathbb{C}^n: y_k = \frac{1}{m} \sum_{i=k}^{k+m-1} x_i, 1 \leq k \leq n$$

Для x действительного или комплексного числа, возвращается сам x .

Пример

`y=runavg(linspace(1,3,6),2)` возвращает 1.2, 1.6, 2, 2.4, 2.8.

См. также

`cumavg()`, `cumsum()`, `avg()`, `sum()`

stddev()

Стандартное отклонение элементов вектора.

Синтаксис

`y=stddev(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓
m	N	$[1, +\infty[$	✓

Описание

Эта функция возвращает stddev элементов действительного или комплексного вектора x.

Для $x \in \mathbb{C}^n$: $y = \sqrt{\text{variance}(x)}$

Для x действительного или комплексного числа, возвращается 0.

Пример

`y=stddev(linspace(1,3,10))` возвращает 0.673.

См. также

`stddev()`, `avg()`, `max()`, `min()`

variance()

Дисперсия векторных элементов.

Синтаксис

`y=variance(x)`

Аргументы

Name	Type	Def. Range	Required
<code>x</code>	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает вариацию элементов действительного или комплексного вектора.

Для $x \in \mathbb{C}^n$: $y = \frac{1}{n-1} \sum_{i=1}^n (x_i - \bar{x})^2$, where \bar{x} denotes mean (average) value of x .

Для x действительного или комплексного числа, возвращается 0.

Пример

`y=variance(linspace(1,3,10))` возвращает 0.453.

См. также

`stddev()`, `avg()`, `max()`, `min()`

Базовые операции

`cumprod()`

Кумулятивное умножение элементов вектора.

Синтаксис

`y=cumprod(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbf{R}, \mathbf{C}, \mathbf{R}^n, \mathbf{C}^n$	$] -\infty, +\infty[$	✓

Описание

Эта функция возвращает кумулятивное умножение элементов действительного или комплексного вектора.

Для $x \in \mathbf{C}^n$: $y_k = \prod_{i=1}^k x_i, 1 \leq k \leq n$

Для x как действительное или комплексное число, возвращается сам x.

Пример

`y=cumprod(linspace(1,3,3))` возвращает 1, 2, 6.

См. также

`cumsum()`, `cumavg()`, `prod()`, `sum()`, `avg()`, `max()`, `min()`

cumsum()

Кумулятивная сумма элементов вектора.

Синтаксис

`y=cumsum(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает кумулятивную сумму элементов действительного или комплексного вектора.

Для $x \in \mathbb{C}^n$: $y_k = \sum_{i=1}^k x_i, 1 \leq k \leq n$

Для x как действительное или комплексное число, возвращается сам x.

Пример

`y=cumsum(linspace(1,3,3))` возвращает 1, 3, 6.

См. также

`cumprod()`, `cumavg()`, `sum()`, `prod()`, `avg()`, `max()`, `min()`

interpolate()

Эквидистантная сплайн-интерполяция вектора данных.

Синтаксис

```
z=interpolate(y,t,m)
z=interpolate(y,t)
```

Аргументы

Name	Type	Def. Range	Required	Default
y	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√	
t	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√	
m	N	$[3, +\infty[$		64

Описание

Эта функция использует сплайн-интерполяцию для интерполяции между точками вектора $y(t)$.

Если число проб n не задано, принимается значение по умолчанию $n = 64$.

Пример

```
z=interpolate(linspace(0,2,3)*linspace(0,2,3),linspace(0,2,3))
```

возвращает гладкую параболическую кривую:

Используйте декартову систему (Cartesian diagram) для ее отображения.

См. также

```
sum(), prod()
```

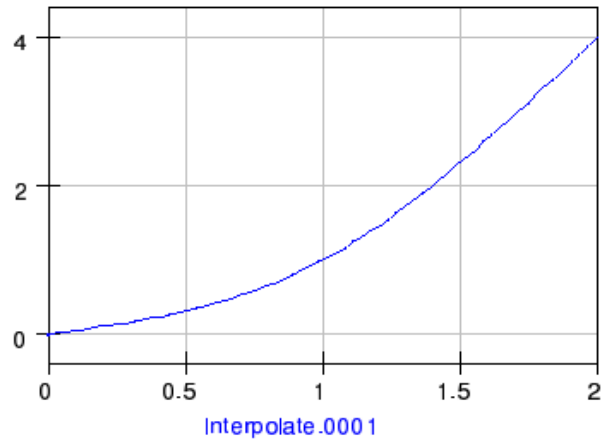


Рис. 13.4. Кривая интерполяции

prod()

Умножение элементов вектора.

Синтаксис

`y=prod(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	✓

Описание

Эта функция возвращает результат умножения элементов действительного или комплексного вектора.

Для $x \in \mathbb{C}^n$: $y = \prod_{i=1}^n x_i$

Для x как действительное или комплексное число, возвращается x.

Пример

`y=prod(linspace(1,3,10))` возвращает 583.

См. также

`sum()`, `avg()`, `max()`, `min()`

sum()

Сумма элементов вектора.

Синтаксис

`y=sum(x)`

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает сумму элементов действительного или комплексного вектора.

Для $x \in \mathbb{C}^n$: $y = \sum_{i=1}^n x_i$

Для x как действительное или комплексное число, возвращается x.

Пример

`y=sum(linspace(1,3,10))` возвращает 20.

См. также

`prod()`, `avg()`, `max()`, `min()`

xvalue()

Возвращает x-значение, которое ассоциировано с y-значением, ближайшим к заданному y-значению заданного вектора.

Синтаксис

```
x=xvalue(f,yval)
```

Аргументы

Name	Type	Def. Range	Required
f	$\mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	✓
yval	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty[$	✓

Описание

Эта функция возвращает x-значение, ассоциированное с y-значением, ближайшим к yval в заданном векторе f. Следовательно, вектор f должен иметь однозначную зависимость от данных.

Пример

```
x=xvalue(f,1).
```

См. также

```
yvalue(), interpolate()
```

yvalue()

Возвращает у-значение данного вектора, локализованного возле заданного х-значения.

Синтаксис

```
y=yvalue(f,xval)
```

Аргументы

Name	Type	Def. Range	Required
f	$\mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty[$	✓
xval	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty[$	✓

Описание

Эта функция возвращает у-значение заданного вектора f, который локализован вблизи х-значения xval. Следовательно, вектор f должен иметь однозначную зависимость данных.

Пример

```
y=yvalue(f,1).
```

См. также

```
xvalue(), interpolate()
```


Дифференцирование и интегрирование

diff()

Производная вектора относительно другого вектора.

Синтаксис

```
z=diff(y,x,n)
```

Аргументы

Name	Type	Def. Range	Required	Default
y	$\mathbb{R}^k, \mathbb{C}^k$	$]-\infty, +\infty[$	✓	
x	$\mathbb{R}^m, \mathbb{C}^m$	$]-\infty, +\infty[$	✓	
n	\mathbb{N}			1

Описание

Эта функция дает численное дифференцирование вектора y по отношению к вектору x. Если дополнительный целый параметр n задан, n-ая производная вычисляется.

Дифференцирование выполняется для $N=\min(k,m)$ элементов. Для $n=1$,

$$\frac{\Delta y_i}{\Delta x_i} = \begin{cases} \frac{1}{2} \left(\frac{y_i - y_{i-1}}{x_i - x_{i-1}} + \frac{y_{i+1} - y_i}{x_{i+1} - x_i} \right) & \text{for } N - 1 > i > 0 \\ \frac{y_{i+1} - y_i}{x_{i+1} - x_i} & \text{for } i = 0 \\ \frac{y_i - y_{i-1}}{x_i - x_{i-1}} & \text{for } i = N - 1 \end{cases}$$

Если $n>1$, результат дифференцирования выше применяется к y и вышеупомянутый шаг дифференцирования повторяется до тех пор, пока число шагов не станет равно n.

Пример

```
z=diff(linspace(1,3,3),linspace(2,3,3))
```

 возвращает 2, 2, 2.

См. также

```
integrate(), sum(), max(), min()
```

integrate()

Интегрирование вектора.

Синтаксис

`z=integrate(y,h)`

Аргументы

Name	Type	Def. Range	Required
y	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty [$	✓
h	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty [$	✓

Описание

Эта функция численно интегрирует вектор x относительно дифференциала h. Метод интеграции согласно правилу трапеции:

$$\int f(t) dt \approx h \left(\frac{y_0}{2} + y_1 + y_2 + \dots + y_{n-1} + \frac{y_n}{2} \right)$$

Пример

Вычисление приближения интеграла $\int_1^3 t dt$ с использованием 105 точек:

`z=integrate(linspace(1,3,105)*linspace(1,3,105),0.02)` возвращает 4.

См. также

`diff()`, `sum()`, `max()`, `min()`

Обработка сигналов

dft()

Дискретное преобразование Фурье.

Синтаксис

`y=dft(v)`

Аргументы

Name	Type	Def. Range	Required
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция рассчитывает дискретное преобразование Фурье вектора v . Преимущество этой функции над `fft()` в том, что число n компонент v произвольно, и в последней n должно быть степени 2. Недосток в том, что `dft()` медленнее и менее точно, чем `fft()`.

Пример

Вычисление спектра у DC сигнала:

```
y=dft(linspace(1,1,7)) returns
```

y
1
-1.59e-17+j1.59e-17
⋮
2.22e-16-j1.11e-16

Пожалуйста заметьте, что в этом примере используется 7 точек меток времени для вектора v . Поскольку 7 не степень 2, это же выражение, использованное совместно с функцией `fft()`, приведет к неверным результатам. Заметьте также ошибку округления, где “0” будет корректным значением.

См. также

`idft()`, `fft()`, `ifft()`, `Freq2Time()`, `Time2Freq()`

fft()

Быстрое преобразование Фурье.

Синтаксис

`y=fft(v)`

Аргументы

Name	Type	Def. Range	Required
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция рассчитывает быстрое преобразование Фурье (Fast Fourier Transform – FFT) вектора v. Число n компонент v должно быть степени 2.

Пример

Вычисление спектра у DC сигнала:

```
y=fft(linspace(1,1,8)) returns
```

y
1
0
⋮
0

См. также

`ifft()`, `dft()`, `idft()`, `Freq2Time()`, `Time2Freq()`

idft()

Инверсное дискретное преобразование Фурье.

Синтаксис

`y=idft(v)`

Аргументы

Name	Type	Def. Range	Required
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция рассчитывает инверсное дискретное преобразование Фурье (Inverse Discrete Fourier Transform – IDFT) вектора *v*. Преимущество этой функции по сравнению с `ifft()` в том, число *n* компонент *v* произвольно, тогда как для последней должно быть степень 2. Недосток в том, что `idft()` медленнее и менее точна, чем `ifft()`.

Пример

Вычисление времен функции *y*, принадлежащих к белому спектру:

```
y=idft(linspace(1,1,7)) returns
```

y
7
-1.11e-16-j1.11e-16
⋮
1.55e-15+j7.77e-16

Пожалуйста заметьте, что в этом примере используется 7 точек для спектра вектора *v*. Поскольку 7 не степень 2, то же самое выражение, использованное вместе с функцией `ifft()` даст неверные результаты. Заметьте, что ошибка округления “0” будет правильным значением.

См. также

`dft()`, `ifft()`, `fft()`, `Freq2Time()`, `Time2Freq()`

ifft()

Инверсное быстрое преобразование Фурье.

Синтаксис

```
y=ifft(v)
```

Аргументы

Name	Type	Def. Range	Required
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Эта функция рассчитывает инверсное быстрое преобразование Фурье (Inverse Fast Fourier Transform – IFFT) вектора v. Число n компонент v должно быть степени 2.

Пример

Вычисление времен функции y, принадлежащих белому спектру:

```
y=ifft(linspace(1,1,8)) returns
```

y
8
0
⋮
0

См. также

`fft()`, `dft()`, `idft()`, `Freq2Time()`, `Time2Freq()`

Time2Freq()

Интерпретированное дискретное преобразование Фурье.

Синтаксис

`y=Time2Freq(v,t)`

Аргументы

Name	Type	Def. Range	Required
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓
t	$\mathbb{R}^k, \mathbb{C}^k$	$]-\infty, +\infty[$	✓

Описание

Эта функция рассчитывает дискретное преобразование Фурье (DFT) вектора v с рассмотрением вектора времени t.

Пример

Вычисление спектра y(f) DC сигнала:

`y=Time2Freq(linspace(1,1,7),linspace(0,1,2))` возвращает

Frequency	y
0	1
0.167	-1.59e-17+j1.59e-17
⋮	⋮
1	2.22e-16-j1.11e-16

Пожалуйста заметьте, что для времени вектора v использовано 7 точек. Заметьте также, что ошибка округления при $t>0$ равная "0" будет правильным значением.

См. также

`idft()`, `fft()`, `ifft()`, `Freq2Time()`

Freq2Time()

Интерпретированное инверсное дискретное преобразование Фурье.

Синтаксис

`y=Freq2Time(v,f)`

Аргументы

Name	Type	Def. Range	Required
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓
f	$\mathbb{R}^k, \mathbb{C}^k$	$]-\infty, +\infty[$	✓

Описание

Эта функция рассчитывает инверсное дискретное преобразование Фурье (IDFT) вектора v с рассмотрением частоты вектора f.

Пример

Вычисление времен функции y(t), принадлежащих белому спектру:

`y=Freq2Time(linspace(1,1,7),linspace(0,1,2))` возвращает

Frequency	y
0	7
0.167	-1.11e-16-j1.11e-16
⋮	⋮
1	1.55e-15+j7.77e-16

Пожалуйста заметьте, что в этом примере для спектра вектора v использовано 7 точек. Заметьте также, что ошибки округления при $t>0$ равные "0" будут правильными значениями.

См. также

`dft()`, `ifft()`, `fft()`, `Time2Freq()`

kbd()

Кайзера-Бесселя производное окно.

Синтаксис

$y = \text{kbd}(a, n)$
 $y = \text{kbd}(a)$

Аргументы

Name	Type	Def. Range	Required	Default
a	R	$]-\infty, +\infty[$	✓	
n	N	$[1, +\infty[$		64

Описание

Эта функция генерирует окно Кайзера-Бесселя согласно

$$y_k = \frac{\sum_{i=0}^k I_0\left(\pi a \sqrt{1 - \left(\frac{4i}{n} - 1\right)}\right)}{\sum_{i=0}^{\frac{n}{2}} I_0\left(\pi a \sqrt{1 - \left(\frac{4i}{n} - 1\right)}\right)},$$

$$y_{n-k-1} = y_k$$

$$\text{for } 0 \leq k < \frac{n}{2}$$

Если параметр n не задан, применяется n=64.

Пример

$y = \text{kbd}(0.1, 4)$ возвращает .

См. также

`dft()`, `ifft()`, `fft()`

13.5 Электронные функции

13.5.1 Конвертирование единиц

dB()

dB значение.

Синтаксис

$y = \text{dB}(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$] -\infty, +\infty [$	✓

Описание

Эта функция возвращает dB значение действительного или комплексного числа или вектора.

$$y = 20 \log |x|$$

Для x как вектор уравнение выше применяется к компонентам x.

Пример

$y = \text{db}(10)$ возвращает 20.

См. также

`log10()`

dbm()

Конвертирует напряжение в мощность в dBm.

Синтаксис

$y = \text{dBm}(u, Z0)$

$y = \text{dBm}(u)$

Аргументы

Name	Type	Def. Range	Required	Default
u	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√	
Z0	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$		50

Описание

Эта функция возвращает соответствующую dBm мощность действительного или комплексного напряжения или вектора u. Импеданс Z0 относится либо к заданному, либо 50 Ω.

$$y = 10 \log \frac{|u|^2}{Z_0 0.001W}$$

Для u как вектор уравнение выше применяется к компонентам u.

Пожалуйста заметьте, что u рассматривается как rms значение, а не амплитуда.

Пример

$y = \text{dbm}(1)$ возвращает 13.

См. также

`dbm2w()`, `w2dbm()`, `log10()`

dbm2w()

Конвертирует мощность в dBm в мощность в Watts.

Синтаксис

$y = \text{dbm2w}(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√

Описание

Эта функция конвертирует действительную или комплексную мощность или вектор мощности, заданные в dBm, в соответствующую мощность в Watts.

$$y = 0.001 \cdot 10^{\frac{x}{10}}$$

Для x как вектор уравнение выше применяется к компонентам x.

Пример

$y = \text{dbm2w}(10)$ возвращает 0.01.

См. также

`dbm()`, `w2dbm()`

w2dbm()

Конвертирует мощность в Watts в мощность в dBm.

Синтаксис

$y = w2dbm(x)$

Аргументы

Name	Type	Def. Range	Required
x	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√

Описание

Эта функция конвертирует действительную или комплексную мощность или вектор мощности, заданные в Watts, в соответствующую мощность в dBm.

$$y = 10 \log \frac{x}{0.001W}$$

Для x как вектор уравнение выше применяется к компонентам x.

Пример

$y = w2dbm(1)$ возвращает 30.

См. также

`dbm()`, `dbm2w()`, `log10()`

13.5.2 Коэффициент отражения и VSWR

rtoswr()

Конвертирует коэффициент отражения в отношение напряжения стоячей волны (voltage standing wave ratio – VSWR).

Синтаксис

```
s=rtoswr(r)
```

Аргументы

Name	Type	Def. Range	Required
r	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$ r \leq 1$	✓

Описание

Для действительного или комплексного коэффициента отражения r эта функция вычисляет соответствующее отношение напряжения стоячей волны (VSWR) s согласно

$$s = \frac{1 + |r|}{1 - |r|}$$

VSWR – это действительное число, и обычно задается в написании “s : 1”.

Для r как вектор уравнение выше применяется к компонентам r.

Примеры

```
s=rtoswr(0) возвращает 1.  
s=rtoswr(0.1+0.2*i) возвращает 1.58.
```

См. также

```
ytor(), ztor(), rtoy(), rtoz()
```

rtoy()

Конвертирует коэффициент отражения в полную проводимость.

Синтаксис

```
y=rtoy(r)
y=rtoy(r, Z0)
```

Аргументы

Name	Type	Def. Range	Required	Default
r	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$ r \leq 1$	✓	
Z0	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty[$		50

Описание

Для действительного или комплексного коэффициента отражения r эта функция вычисляет соответствующую полную проводимость y согласно

$$y = \frac{1}{Z_0} \frac{1-r}{1+r}$$

Если указываемый импеданс не предоставлен, функция принимает $Z_0 = 50 \Omega$.

Для r как вектор уравнение выше применяется к компонентам r.

Пример

```
y=rtoy(0.333) возвращает 0.01.
```

См. также

```
ytor(), ztor(), rtoswr()
```

rtoz()

Конвертирует коэффициент отражения в импеданс.

Синтаксис

```
z=rtoz(r)  
z=rtoz(r, Z0)
```

Аргументы

Name	Type	Def. Range	Required	Default
r	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$ r \leq 1$	✓	
Z0	\mathbb{R}, \mathbb{C}	$] -\infty, +\infty[$		50

Описание

Для действительного или комплексного коэффициента отражения r эта функция вычисляет соответствующий импеданс Z согласно

$$Z = Z_0 \frac{1 - r}{1 + r}$$

Если указанный импеданс Z0 не предоставлен, функция принимает $Z_0 = 50\Omega$.

Для r как вектор уравнение выше применяется к компонентам r.

Пример

```
z=rtoz(0.333) возвращает 99.9.
```

См. также

```
ztor(), ytor(), rtoswr()
```


ytor()

Конвертирует полную проводимость в коэффициент отражения.

Синтаксис

```
r=ytor(Y)
r=ytor(Y, Z0)
```

Аргументы

Name	Type	Def. Range	Required	Default
Y	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓	
Z0	\mathbb{R}, \mathbb{C}	$]-\infty, +\infty[$		50

Описание

Для действительной или комплексной полной проводимости у эта функция вычисляет соответствующий коэффициент отражения согласно

$$r = \frac{1 - Y Z_0}{1 + Y Z_0}$$

Для Y как вектора уравнение выше применяется к компонентам Y.

Если указанный импеданс Z0 не предоставлен, функция принимает $Z_0 = 50\Omega$.

Часто dB значение задается для коэффициента отражения, так называемые потери на отражение “return loss”:

$$RL = -20 \log |r| \text{ [dB]}$$

Пример

```
r=ytor(0.01) возвращает 0.333.
```

См. также

```
rtoz(), rtoz(), rtozswr(), log10(), dB()
```

ztor()

Конвертирует импеданс в коэффициент отражения.

Синтаксис

```
r=ztor(Z)
```

```
r=ztor(Z, Z0)
```

Аргументы

Name	Type	Def. Range	Required	Default
Z	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	√	
Z0	\mathbb{R}, \mathbb{C}	$]-\infty, +\infty[$		50

Описание

Для действительного или комплексного импеданса Z эта функция вычисляет соответствующий коэффициент отражения согласно

$$r = \frac{Z - Z_0}{Z + Z_0}$$

Для Z как вектор уравнение выше применяется к компонентам Z.

Если указанный импеданс Z0 не предоставлен, функция принимает $Z_0 = 50\Omega$.

Часто dB значение задается для коэффициента отражения, так называемые потери на отражение “return loss”:

$$RL = -20 \log |r| \text{ [dB]}$$

Пример

```
r=ztor(100) возвращает 0.333.
```

См. также

```
rtoz(), rtoy(), rtoswr(), log10(), dB()
```

13.5.3 N-портовые матричные преобразования

stos()

Конвертирует матрицу S-параметров в матрицу S-параметров с разным ссылочным импедансом(ми).

Синтаксис

```
y=stos(S, Zref)  
y=stos(S, Zref, Z0)
```

Аргументы

Name	Type	Def. Range	Required	Default
S	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$ S_{ij} \in]-\infty, +\infty[, 1 \leq i, j \leq n$ $ S_{ii} \leq 1, 1 \leq i \leq n$	✓	
Zref	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓	
Z0	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$		50

Описание

Эта функция конвертирует действительные или комплексные параметры матрицы S в матрицу Y. S имеет ссылаемый импеданс Zref, хотя создаваемая дисперсная матрица Y имеет ссылаемый импеданс Z0.

Если указанный импеданс Z0 не предоставлен, функция принимает $Z0 = 50\Omega$.

Оба, Zref и Z0, могут быть действительным или комплексным числом или вектором. В последнем случае функция оперирует на элементах Zref и Z0.

Пример

Преобразование нагруженных на 50Ω S-параметров в нагруженные на 100Ω S-параметры:

`S2=stos(eye(2)*0.1,50,100)` возвращает

-0.241	0
0	-0.241

См. также

`twoport()`, `stoy()`, `stoz()`

stoy()

Конвертирует матрицу S-параметров в матрицу Y-параметров.

Синтаксис

Y=stoy(S)
Y=stoy(S, Zref)

Аргументы

Name	Type	Def. Range	Required	Default
S	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$ S_{ij} \in]-\infty, +\infty[, 1 \leq i, j \leq n$ $ S_{ii} \leq 1, 1 \leq i \leq n$	✓	
Zref	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$		50

Описание

Эта функция конвертирует действительную или комплексную матрицу параметров S в матрицу полной проводимости Y. S имеет ссылочный импеданс Zref, который принимается Zref = 50Ω, если не предоставлен пользователем.

Zref может быть действительным или комплексным числом или вектором. В последнем случае функция оперирует с элементами Zref.

Пример

Y=stoy(eye(2)*0.1,100) возвращает

0.00818	0
0	0.00818

См. также

twoport(), stos(), stoz(), ytos()

stoz()

Конвертирует матрицу S-параметров в матрицу Z-параметров.

Синтаксис

```
Z=stoz(S)  
Z=stoz(S, Zref)
```

Аргументы

Name	Type	Def. Range	Required	Default
S	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$ S_{ij} \in]-\infty, +\infty[, 1 \leq i, j \leq n$ $ S_{ii} \leq 1, 1 \leq i \leq n$	✓	
Zref	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$		50

Описание

Эта функция конвертирует действительные или комплексные параметры матрицы S в матрицу импеданса Z. S имеет ссылочный импеданс Zref, который принимается Zref = 50Ω, если не задан пользователем.

Zref может быть действительным или комплексным числом или вектором. В последнем случае функция оперирует с элементами Zref.

Пример

```
Z=stoz(eye(2)*0.1,100) возвращает
```

122	0
0	122

См. также

```
twoport(), stos(), stoy(), ztos()
```

twoport()

Конвертирует двух-портовую матрицу из одного представления в другое.

Синтаксис

`U=twoport(X, from, to)`

Аргументы

Name	Type	Def. Range	Required
X	$\mathbb{R}^{2 \times 2}, \mathbb{C}^{2 \times 2}$	$]-\infty, +\infty[$	√
from	Character	{'Y', 'Z', 'H', 'G', 'A', 'S', 'T'}	√
to	Character	{'Y', 'Z', 'H', 'G', 'A', 'S', 'T'}	√

Описание

Функция конвертирует действительную или комплексную двух-портовую матрицу X из одного представления в другое.

Пример

Преобразование двух-портовой Y матрицы Y1 в матрицу Z:

```
Y1=eye(2)*0.1
```

```
Z1=twoport(Y1,'Y','Z') возвращает
```

10	0
0	10

См. также

`stos()`, `ytoz()`, `ztoz()`, `stoz()`, `stoy()`, `ytoz()`, `ztoy()`

ytos()

Конвертирует матрицу Y-параметров в матрицу S-параметров.

Синтаксис

`S=ytos(Y)`

`S=ytos(Y, Z0)`

Аргументы

Name	Type	Def. Range	Required	Default
Y	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$]-\infty, +\infty[$	√	
Z0	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$		50

Описание

Эта функция конвертирует действительную или комплексную матрицу проводимости Y в дисперсную матрицу S. Y имеет ссылочный импеданс Z0, который принимается $Z0 = 50\Omega$, если не предоставлен пользователем.

Z0 может быть действительным или комплексным числом или вектором. В последнем случае функция оперирует с элементами Z0.

Пример

`S=ytos(eye(2)*0.1,100)` возвращает

-0.818	0
0	-0.818

См. также

`twoport()`, `stos()`, `ztos()`, `stoy()`

ytoz()

Конвертирует матрицу Y-параметров в матрицу Z-параметров.

Синтаксис

`Z=ytoz(Y)`

Аргументы

Name	Type	Def. Range	Required
Y	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$]-\infty, +\infty[$	✓

Описание

Эта функция конвертирует действительную или комплексную матрицу полной проводимости Y в матрицу импеданса Z.

Пример

`Z=ytoz(eye(2)*0.1)` возвращает

10	0
0	10

См. также

`twoport()`, `ztoy()`

ztos()

Конвертирует матрицу **Z**-параметров в матрицу **S**-параметров.

Синтаксис

```
S=ztos(Z)  
S=ztos(Z, Z0)
```

Аргументы

Name	Type	Def. Range	Required	Default
Z	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$]-\infty, +\infty[$	✓	
Z0	$\mathbb{R}, \mathbb{C}, \mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$		50

Описание

Эта функция конвертирует действительную или комплексную матрицу импедансов Z в матрицу S . Z имеет ссылочный импеданс $Z0$, который принимается $Z0 = 50\Omega$, если не предоставлен пользователем.

$Z0$ может быть действительным или комплексным числом или вектором. В последнем случае функция оперирует с элементами $Z0$.

Пример

```
S=ztos(eye(2)*0.1,100) возвращает
```

-0.998	0
0	-0.998

См. также

```
twoport(), twoport(), stos(), ytos(), stoz()
```

ztoy()

Конвертирует матрицу Z-параметров в матрицу Y-параметров.

Синтаксис

$Y = \text{ztoy}(Z)$

Аргументы

Name	Type	Def. Range	Required
Z	$\mathbb{R}^{n \times n}, \mathbb{C}^{n \times n}$	$]-\infty, +\infty[$	✓

Описание

Эта функция конвертирует действительную или комплексную матрицу импедансов Z в матрицу полной проводимости Y.

Пример

$Y = \text{ztoy}(\text{eye}(2) * 0.1)$ возвращает

10	0
0	10

См. также

`twoport()`, `ytoz()`

13.5.4 Усилители

GaCircle()

Окружность(и) с постоянной допустимой мощностью усиления G_A в плоскости источника.

Синтаксис

```
y=GaCircle(X,Ga,v)
y=GaCircle(X,Ga,n)
y=GaCircle(X,Ga)
```

Аргументы

Name	Type	Def. Range	Required	Default
X	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}$	$]-\infty, +\infty[$	√	
v	\mathbb{R}^n	$[0, 360]^p$		
Ga	\mathbb{R}, \mathbb{R}^m	$[0, +\infty[$	√	
n	N	$[2, +\infty[$		64

Описание

Эта функция генерирует точки окружности постоянной допустимой мощности усиления G_A в комплексной плоскости источника (rS) усилителя. Усилитель описывается двух-портовой матрицей S-параметров – S. Радиус r и центр c этой окружности вычисляется следующим образом:

$$r = \frac{\sqrt{1 - 2 \cdot K \cdot g_A \cdot |S_{12}S_{21}| + g_A^2 \cdot |S_{12}S_{21}|^2}}{|1 + g_A \cdot (|S_{11}|^2 - |\Delta|^2)|} \quad \text{and} \quad c = \frac{g_A (S_{11}^* - S_{22} \Delta^*)}{1 + g_A (|S_{11}|^2 - |\Delta|^2)},$$

где $g_A = \frac{G_A}{|S_{21}|^2}$ а K – Rollet фактор стабильности. Δ означает определитель S.

Точки окружности могут быть заданы углом вектора v, где угол должен быть в градусах. Другая возможность – это специфицировать число n угловых равноудаленных точек окружности. Если не задан дополнительный аргумент X, берется 64 точки. Допустимое усиление мощности может быть также специфицировано вектором Ga, приводя к генерации m окружностей, где m – это величина Ga.

Пожалуйста, обратитесь также к “Qucs -Technical Papers”, глава 1.5.

Пример

```
v=GaCircle(S)
```

См. также

```
GpCircle(), Rollet()
```

GpCircle()

Окружность(и) с постоянным рабочим усилением мощности Gp в плоскости нагрузки.

Синтаксис

y=GpCircle(X,Gp,v)

y=GpCircle(X,Gp,n)

y=GpCircle(X,Gp)

Аргументы

Name	Type	Def. Range	Required	Default
X	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}$	$]-\infty, +\infty[$	√	
v	\mathbb{R}^n	$[0, 360]^p$		
Gp	\mathbb{R}, \mathbb{R}^m	$[0, +\infty[$	√	
n	N	$[2, +\infty[$		64

Описание

Эта функция генерирует точки окружности постоянного рабочего усиления мощности GP в комплексной плоскости нагрузки (rL) усилителя. Усилитель описывается двух-портовой матрицей S-параметров – S. Радиус r и центр c этой окружности вычисляется следующим образом:

$$r = \frac{\sqrt{1 - 2 \cdot K \cdot g_P \cdot |S_{12}S_{21}| + g_P^2 \cdot |S_{12}S_{21}|^2}}{|1 + g_P \cdot (|S_{22}|^2 - |\Delta|^2)|} \text{ and } c = \frac{g_A (S_{22}^* - S_{11} \Delta^*)}{1 + g_P (|S_{22}|^2 - |\Delta|^2)},$$

где $g_A = \frac{G_P}{|S_{21}|^2}$ а K – Rollet фактор стабильности. Δ означает определитель S.

Точки окружности могут быть заданы углом вектора v, где угол должен быть в градусах. Другая возможность – это специфицировать число n угловых равноудаленных точек окружности. Если не задан дополнительный аргумент X, берется 64 точки. Допустимое усиление мощности может быть также специфицировано вектором Gp, приводя к генерации m окружностей, где m – это величина Gp.

Пожалуйста, обратитесь также к “Qucs -Technical Papers”, глава 1.5.

Пример

```
v=GpCircle(S)
```

См. также

```
GaCircle(), Rollet()
```

Mu()

Mu – это фактор стабильности двух-портовой матрицы S-параметров.

Синтаксис

$y = \text{Mu}(S)$

Аргументы

Name	Type	Def. Range	Required
S	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}, \mathbb{R}^{2 \times 2}, \mathbb{C}^{2 \times 2}$	$]-\infty, +\infty[$	✓

Описание

Функция возвращает Mu фактор стабильности μ усилителя, описанного двух-портовой матрицей S-параметров – S:

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{21} S_{12}|}$$

Δ означает определитель S.

Усилитель безусловно стабилен, если $\mu > 1$.

Для S как вектор или матрица уравнение выше применяется к подматрицам S.

Пример

$m = \text{Mu}(S)$

См. также

`Mu2()`, `Rollet()`, `StabCircleS()`, `StabCircleL()`

Mu2()

Mu' фак тор стабильности двух-портовой матрицы S-параметров.

Синтаксис

y=Mu2(S)

Аргументы

Name	Type	Def. Range	Required
S	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}, \mathbb{R}^{2 \times 2}, \mathbb{C}^{2 \times 2}$	$]-\infty, +\infty[$	√

Описание

Эта функция возвращает Mu' фактор стабильности μ' усилителя, описанного двух-портовой матрицей S-параметров – S:

$$\mu' = \frac{1 - |S_{22}|^2}{|S_{11} - S_{22}^* \Delta| + |S_{21} S_{12}|}$$

Δ означает определитель S.

Усилитель безусловно стабилен, если $\mu' > 1$.

Для S как вектор или матрица уравнение выше применяется к подматрицам S.

Пример

m=Mu2(S)

См. также

Mu2(), Rollet(), StabCircleS(), StabCircleL()

NoiseCircle()

Генерирует окружность(и) с постоянным шумовым образом(и).

Синтаксис

```
y=NoiseCircle(Sopt,Fmin,Rn,F,v)
y=NoiseCircle(Sopt,Fmin,Rn,F,n)
y=NoiseCircle(Sopt,Fmin,Rn,F)
```

Аргументы

Name	Type	Def. Range	Required	Default
Sopt	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓	
Fmin	\mathbb{R}^n	$[1, +\infty[$	✓	
Rn	$\mathbb{R}^n, \mathbb{C}^n$	$[0, +\infty[$	✓	
F	\mathbb{R}, \mathbb{R}^n	$[1, +\infty[$	✓	
v	\mathbb{R}^n	$[0, 360]^\circ$		
n	N	$[2, +\infty[$		64

Описание

Функция генерирует точки окружности постоянного образа шумов (Noise Figure – NF) F в комплексной плоскости источника (rS) усилителя. Обычно усилитель имеет минимум NF F_{min} , если коэффициент отражения источника $rS = S_{opt}$ (шумовое согласование). Заметьте, что это состояние с оптимальным коэффициентом отражения источника S_{opt} отличается от согласования мощности! Следовательно усиление мощности при согласовании шумов ниже, чем максимально достижимое усиление. Эти значения S_{opt} , F_{min} и нормализованное эквивалентное шумовое сопротивление R_n/Z_0 могут обычно браться из справочных данных усилителя.

Радиус r и центр c окружности постоянной NF вычисляются из следующего:

$$r = \frac{\sqrt{N^2 + N \cdot (1 - |S_{opt}|^2)}}{1 + N} \quad \text{and} \quad c = \frac{S_{opt}}{1 + N}, \quad \text{with} \quad N = \frac{F - F_{min}}{4 R_n} \cdot Z_0 \cdot |1 + S_{opt}|^2.$$

Точки окружности могут быть заданы углом вектора v, где угол должен быть в градусах. Другая возможность – это специфицировать число n угловых равноудаленных точек окружности. Если не задан дополнительный аргумент X, берется 64 точки.

Пожалуйста, обратитесь также к “Qucs -Technical Papers”, часть 2.2.

Пример

```
v=NoiseCircle(Sopt,Fmin,Rn,F)
```

См. также

```
GaCircle(), GpCircle()
```

PlotVs()

Возвращает группу данных, базируемую на векторе или матрице векторов с зависимостью от заданного вектора.

Синтаксис

`y=PlotVs(X, v)`

Аргументы

Name	Type	Def. Range	Required
X	$\mathbb{R}^n, \mathbb{C}^n, \mathbb{R}^{m \times n \times p}, \mathbb{C}^{m \times n \times p}$	$]-\infty, +\infty[$	✓
v	$\mathbb{R}^n, \mathbb{C}^n$	$]-\infty, +\infty[$	✓

Описание

Функция возвращает группу данных, базируемую на векторе или матрице векторов X с зависимостью от заданного вектора v.

Пример

`PlotVs(Gain, frequency/1E9) .`

См. также

Rollet()

Rollet – фактор стабильности двух-портовой матрицы S-параметров.

Синтаксис

`y=Rollet(S)`

Аргументы

Name	Type	Def. Range	Required
S	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}, \mathbb{R}^{2 \times 2}, \mathbb{C}^{2 \times 2}$	$]-\infty, +\infty[$	✓

Описание

Эта функция возвращает Rollet фактор стабильности K усилителя, описанного двух-портовой матрицей S-параметров – S:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 |S_{21}| |S_{12}|}$$

Δ означает определитель S.

Усилитель безусловно стабилен, если $K > 1$ и $|\Delta| < 1$.

Заметьте, что большое K может ввести в заблуждение в случае много-каскадного усилителя, притворяясь необычайной стабильностью. Это конфликтует с действительностью, где усилитель с большим усилением обычно страдает от неустойчивости из-за паразитных связей.

Для S как вектор или матрицы уравнение выше применяется к подматрицам S.

Пример

`K=Rollet(S)`

См. также

`Mu()`, `Mu2()`, `StabCircleS()`, `StabCircleL()`

StabCircleL()

Окружность стабильности в плоскости нагрузки.

Синтаксис

```
y=StabCircleL(X)
y=StabCircleL(X,v)
y=StabCircleL(X,n)
```

Аргументы

Name	Type	Def. Range	Required	Default
X	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}$	$]-\infty, +\infty[$	√	
v	\mathbb{R}^n	$[0, 360]^\circ$		
n	N	$[2, +\infty[$		64

Описание

Эта функция генерирует точки окружности стабильности на комплексной плоскости коэффициента отражения нагрузки (rL) усилителя. Усилитель описывается двух-портовой матрицей S-параметров – S.

Радиус r и центр c окружности вычисляются:

$$r = \left| \frac{S_{21} S_{12}}{|S_{22}|^2 - |\Delta|^2} \right| \text{ and } c = \frac{S_{22}^* - S_{11} \cdot \Delta^*}{|S_{22}|^2 - |\Delta|^2}$$

Δ означает определитель S.

Точки окружности могут быть заданы углом вектора v, где угол должен быть в градусах. Другая возможность – это специфицировать число n угловых равноудаленных точек окружности. Если не задан дополнительный аргумент X, берется 64 точки.

Если центр rL плоскости лежит внутри этой окружности и $|S_{11}| \leq 1$, тогда окружность стабильна для всех коэффициентов отражения внутри окружности. Если центр rL плоскости лежит вне окружности и $|S_{11}| \leq 1$, тогда окружность стабильна для всех коэффициентов отражения вне окружности (пожалуйста, посмотрите “Qucs -Technical Papers”, часть 1.5).

Пример

```
v=StabCircleL(S)
```

См. также

```
StabCircleS(), Rollet(), Mu(), Mu2()
```

StabCircleS()

Окружность стабильности в плоскости источника.

Синтаксис

```
y=StabCircleS(X)
y=StabCircleS(X,v)
y=StabCircleS(X,n)
```

Аргументы

Name	Type	Def. Range	Required	Default
X	$\mathbb{R}^{2 \times 2 \times p}, \mathbb{C}^{2 \times 2 \times p}$	$]-\infty, +\infty[$	✓	
v	\mathbb{R}^n	$[0, 360]^\circ$		
n	N	$[2, +\infty[$		64

Описание

Эта функция генерирует точки окружности стабильности в комплексной плоскости коэффициента отражения источника (rS) усилителя. Усилитель описывается двух-портовой матрицей S-параметров – S.

Радиус r и центр c этой окружности вычисляются следующим образом:

$$r = \left| \frac{S_{21} S_{12}}{|S_{11}|^2 - |\Delta|^2} \right| \text{ and } c = \frac{S_{11}^* - S_{22} \cdot \Delta^*}{|S_{11}|^2 - |\Delta|^2}$$

Δ означает определитель S.

Точки окружности могут быть заданы углом вектора v, где угол должен быть в градусах. Другая возможность – это специфицировать число n угловых равноудаленных точек окружности. Если не задан дополнительный аргумент X, берется 64 точки.

Если центр плоскости rS лежит внутри окружности и $|S_{22}| \leq 1$, тогда окружность представляет стабильность всех коэффициентов отражения внутри окружности. Если центр плоскости rS лежит вне окружности и $|S_{22}| \leq 1$, тогда окружность – стабильность для всех коэффициентов отражения вне окружности (посмотрите также “Qucs -Technical Papers”, часть 1.5).

Пример

```
v=StabCircleS(S)
```

См. также

```
StabCircleL(), Rollet(), Mu(), Mu2()
```